

日 本 国 特 許 庁

PATENT OFFICE
JAPANESE GOVERNMENT

別紙添付の書類に記載されている事項は下記の出願書類に記載されて
る事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed
in this Office.

願 年 月 日

Date of Application:

1998年11月 9日

願 番 号

Application Number:

平成10年特許願第318164号

願 人

Applicant(s):

富士通株式会社

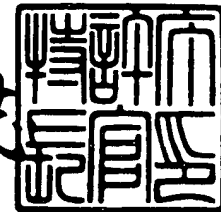


CERTIFIED COPY OF
PRIORITY DOCUMENT

1998年12月11日

特許庁長官
Commissioner,
Patent Office

山 建 志



出証番号 出証特平10-3098890

【書類名】 特許願

【整理番号】 9805288

【提出日】 平成10年11月 9日

【あて先】 特許庁長官 伊佐山 建志 殿

【国際特許分類】 G11C 29/00
G11C 8/00 311
H01L 27/10

【発明の名称】 半導体記憶装置およびシフト冗長方法

【請求項の数】 55

【発明者】

【住所又は居所】 神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内

【氏名】 菊竹 陽

【発明者】

【住所又は居所】 神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内

【氏名】 松宮 正人

【発明者】

【住所又は居所】 神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内

【氏名】 江渡 聡

【発明者】

【住所又は居所】 神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内

【氏名】 川畑 邦範

【発明者】

【住所又は居所】 神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内

【氏名】 池田 稔美

【発明者】

【住所又は居所】 神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内

【氏名】 石井 祐樹

【特許出願人】

【識別番号】 000005223

【氏名又は名称】 富士通株式会社

【代理人】

【識別番号】 100077517

【弁理士】

【氏名又は名称】 石田 敬

【電話番号】 03-5470-1900

【選任した代理人】

【識別番号】 100100871

【弁理士】

【氏名又は名称】 土屋 繁

【選任した代理人】

【識別番号】 100088269

【弁理士】

【氏名又は名称】 戸田 利雄

【選任した代理人】

【識別番号】 100082898

【弁理士】

【氏名又は名称】 西山 雅也

【選任した代理人】

【識別番号】 100081330

【弁理士】

【氏名又は名称】 樋口 外治

【先の出願に基づく優先権主張】

【出願番号】 平成10年特許願第208440号

【出願日】 平成10年 7月23日

【手数料の表示】

【予納台帳番号】 036135

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9709215

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体記憶装置およびシフト冗長方法

【特許請求の範囲】

【請求項 1】 外部から供給されるアドレス信号に基づき、複数のメモリセルから特定のメモリセルを選択してデータの書き込みまたは読み出しを行うための複数の選択線を配置してなる半導体記憶装置において、

前記複数の選択線の中で、一方の端に位置する少なくとも 1 本の第 1 の冗長選択線、および他方の端に位置する少なくとも 1 本の第 2 の冗長選択線と、

前記アドレス信号をデコードした複数のデコード信号線を、前記複数の選択線および前記冗長選択線に切替可能に接続するためのスイッチ回路とを備え、

前記複数の選択線内に欠陥が発生した場合に、前記デコード信号線の少なくとも 1 本を前記第 1 の冗長選択線の方にシフトさせる第 1 の切替動作を行うか、または、前記デコード信号線の少なくとも 1 本を前記第 2 の冗長選択線の方にシフトさせる第 2 の切替動作を行うか、または、前記第 1 の切替動作と前記第 2 の切替動作の双方の切替動作を行うことを特徴とする半導体記憶装置。

【請求項 2】 前記複数の選択線内の 2 本の選択線に欠陥が発生した場合に、前記第 1 の切替動作と前記第 2 の切替動作の双方の切替動作を行うように構成される請求項 1 記載の半導体記憶装置。

【請求項 3】 前記複数の選択線が左右方向に並んで配置されている場合、前記複数の選択線内の 2 本の選択線に欠陥が発生したときに、前記デコード信号線の少なくとも 1 本を左方向にシフトさせて前記第 1 の切替動作を行うと共に、前記デコード信号線の少なくとも 1 本を右方向にシフトさせて前記第 2 の切替動作を行うように構成される請求項 2 記載の半導体記憶装置。

【請求項 4】 前記複数の選択線内の 1 本の選択線に欠陥が発生した場合に、前記第 1 の切替動作または前記第 2 の切替動作のいずれか一方の切替動作を行うように構成される請求項 1 記載の半導体記憶装置。

【請求項 5】 前記複数の選択線が左右方向に並んで配置されている場合、前記複数の選択線内の 1 本の選択線に欠陥が発生したときに、前記デコード信号線の少なくとも 1 本を左方向にシフトさせて前記第 1 の切替動作を行うか、また

は、前記デコード信号線の少なくとも1本を右方向にシフトさせて前記第2の切替動作を行うように構成される請求項4記載の半導体記憶装置。

【請求項6】 外部から供給されるアドレス信号に基づき、複数のメモリセルから特定のメモリセルを選択してデータの書き込みまたは読み出しを行うための複数の選択線を配置してなる半導体記憶装置において、

前記複数の選択線の中で、一方の端に位置する少なくとも1本の第1の冗長選択線、および他方の端に位置する少なくとも1本の第2の冗長選択線と、

前記アドレス信号をデコードした複数のデコード信号線を、前記複数の選択線および前記冗長選択線に切替可能に接続するための複数のスイッチ素子を含むスイッチ部と、

前記複数の選択線および前記冗長選択線に対応して設けられる複数のヒューズを有し、前記複数の選択線内に欠陥が発生した場合に、該欠陥が発生した欠陥選択線に対応するヒューズ、および、前記冗長選択線に対応する冗長選択用ヒューズを切断するシフト冗長ヒューズ回路部と、

前記シフト冗長ヒューズ回路部からの出力結果に応じて、前記デコード信号線の少なくとも1本を前記第1の冗長選択線の方にシフトさせる第1の切替動作を行うか、または、前記デコード信号線の少なくとも1本を前記第2の冗長選択線の方にシフトさせる第2の切替動作を行うか、または、前記第1の切替動作と前記第2の切替動作の双方の切替動作を行うように、前記複数のスイッチ素子を制御するシフト冗長制御回路部とを備えることを特徴とする半導体記憶装置。

【請求項7】 前記複数の選択線内の2本の選択線に欠陥が発生した場合に、前記シフト冗長ヒューズ回路部が、該欠陥が発生した2本の欠陥選択線に対応するヒューズ、および、前記冗長選択線に対応する冗長選択用ヒューズを切断し、前記シフト冗長制御回路部が、前記第1の切替動作と前記第2の切替動作の双方の切替動作を行うように、前記複数のスイッチ素子を制御する請求項6記載の半導体記憶装置。

【請求項8】 前記複数の選択線が左右方向に並んで配置されている場合、前記複数の選択線内の2本の選択線に欠陥が発生したときに、前記デコード信号線の少なくとも1本を左方向にシフトさせて前記第1の切替動作を行うと共に、

、前記デコード信号線の少なくとも1本を右方向にシフトさせて前記第2の切替動作を行うように構成される請求項7記載の半導体記憶装置。

【請求項9】 前記シフト冗長ヒューズ回路部からの出力結果が、前記欠陥選択線の各々に対応するヒューズ、および前記冗長選択用ヒューズが切断されているか否かを示す直流電圧のレベルにて出力される請求項7記載の半導体記憶装置。

【請求項10】 前記シフト冗長制御回路部が、前記シフト冗長ヒューズ回路部からの出力結果を受けて前記複数の選択線をいずれかの方向にシフトさせるためのシフト制御信号を出力するNANDゲートと、該NANDゲートからのシフト制御信号を反転するインバータとを含む請求項7記載の半導体記憶装置。

【請求項11】 前記シフト冗長制御回路部が、前記シフト冗長ヒューズ回路部からの出力結果を受けて前記複数の選択線をいずれかの方向にシフトさせるためのシフト制御信号を出力するNORゲートと、該NORゲートからのシフト制御信号を反転するインバータとを含む請求項7記載の半導体記憶装置。

【請求項12】 前記スイッチ部内の複数のスイッチ素子の各々が、前記第1の冗長選択線の方向へのシフト動作を行うモード、前記第2の冗長選択線の方向へのシフト動作を行うモード、または該シフト動作を行わないモードを選択することが可能な3方向性のスイッチ素子である請求項7記載の半導体記憶装置。

【請求項13】 前記複数のスイッチ素子の各々が、前記デコード信号線と前記欠陥選択線との接続を行わない非選択のモードを選択することが可能な請求項12記載の半導体記憶装置。

【請求項14】 前記シフト冗長ヒューズ回路部が、通常動作時に使用される通常選択用のヒューズ回路、冗長選択時に使用される冗長選択用ヒューズ回路、および、強制冗長時に使用される強制冗長用ヒューズ回路を有する請求項7記載の半導体記憶装置。

【請求項15】 前記シフト冗長ヒューズ回路部が、強制冗長時に、予め定められた選択線に対応するヒューズを切断したように見せかける強制冗長用ヒューズ回路を有し、前記冗長選択線に不良がないか否かを確認するように構成される請求項7記載の半導体記憶装置。

【請求項16】 前記強制冗長用ヒューズ回路に接続される選択線が、前記冗長選択線の隣以外の場所に配置される請求項15記載の半導体記憶装置。

【請求項17】 前記複数の選択線内の1本の選択線に欠陥が発生した場合に、前記シフト冗長ヒューズ回路部が、該欠陥が発生した1本の欠陥選択線に対応するヒューズ、および、前記冗長選択線に対応する冗長選択用ヒューズを切断し、前記シフト冗長制御回路部が、前記第1の切替動作または前記第2の切替動作のいずれか一方の切替動作を行うように、前記複数のスイッチ素子を制御する請求項6記載の半導体記憶装置。

【請求項18】 前記複数の選択線が左右方向に並んで配置されている場合、前記複数の選択線内の1本の選択線に欠陥が発生したときに、前記デコード信号線の少なくとも1本を左方向にシフトさせて前記第1の切替動作を行うか、または、前記デコード信号線の少なくとも1本を右方向にシフトさせて前記第2の切替動作を行うように構成される請求項17記載の半導体記憶装置。

【請求項19】 前記シフト冗長ヒューズ回路部からの出力結果が、前記欠陥選択線に対応するヒューズ、および前記冗長選択用ヒューズが切断されているか否かを示す直流電圧のレベルにて出力される請求項17記載の半導体記憶装置。

【請求項20】 前記シフト冗長制御回路部が、前記シフト冗長ヒューズ回路部からの出力結果を受けて前記複数の選択線をいずれかの方向にシフトさせるためのシフト制御信号を出力するNANDゲートと、該NANDゲートからのシフト制御信号を反転するインバータとを含む請求項17記載の半導体記憶装置。

【請求項21】 前記シフト冗長制御回路部が、前記シフト冗長ヒューズ回路部からの出力結果を受けて前記複数の選択線をいずれかの方向にシフトさせるためのシフト制御信号を出力するNORゲートと、該NORゲートからのシフト制御信号を反転するインバータとを含む請求項17記載の半導体記憶装置。

【請求項22】 前記スイッチ部内の複数のスイッチ素子の各々が、前記冗長選択線の一方の方向へのシフト動作を行うモード、前記冗長選択線の他方の方向へのシフト動作を行うモード、または該シフト動作を行わないモードを選択することが可能な3方向性のスイッチ素子である請求項17記載の半導体記憶装置

【請求項 23】 前記複数のスイッチ素子の各々が、前記デコード信号線と前記欠陥選択線との接続を行わない非選択のモードを選択することが可能な請求項 22 記載の半導体記憶装置。

【請求項 24】 前記シフト冗長ヒューズ回路部が、通常動作時に使用される通常選択用のヒューズ回路、冗長選択時に使用される冗長選択用ヒューズ回路、および、強制冗長時に使用される強制冗長用ヒューズ回路を有する請求項 17 記載の半導体記憶装置。

【請求項 25】 前記シフト冗長ヒューズ回路部が、強制冗長時に、予め定められた選択線に対応するヒューズを切断したように見せかける強制冗長用ヒューズ回路を有し、前記冗長選択線に不良がないか否かを確認するように構成される請求項 17 記載の半導体記憶装置。

【請求項 26】 前記強制冗長用ヒューズ回路に接続される選択線が、前記冗長選択線の隣以外の場所に配置される請求項 25 記載の半導体記憶装置。

【請求項 27】 前記複数のメモリセルのブロック内で、前記シフト冗長ヒューズ回路部の出力レベルを評価して少なくとも一つのヒューズが切断されているか否かを判定することにより、前記冗長選択線が使用されているか否かを検出する請求項 6 から 26 のいずれか一項に記載の半導体記憶装置。

【請求項 28】 前記複数のメモリセルの周期性と、前記選択線によって選択されるメモリセルブロックの周期性とが一致するようにデータの書き込みまたは読み出しを行う請求項 6 から 26 のいずれか一項に記載の半導体記憶装置。

【請求項 29】 半導体チップ内で、前記複数の選択線と前記複数のヒューズとが同一のピッチにてレイアウトが行われる請求項 6 から 26 のいずれか一項に記載の半導体記憶装置。

【請求項 30】 外部から供給されるアドレス信号に基づき、複数のメモリセルから特定のメモリセルを選択してデータの書き込みまたは読み出しを行うための複数の選択線を配置してなる半導体記憶装置において、

前記複数の選択線の中で、一方の端に位置する少なくとも 1 本の第 1 の冗長選択線、および他方の端に位置する少なくとも 1 本の第 2 の冗長選択線と、

前記アドレス信号をデコードした複数のデコード信号線を、前記複数の選択線および前記冗長選択線に切替可能に接続するための複数のスイッチ素子を含むスイッチ部と、

前記複数の選択線内に欠陥が発生した場合に、該欠陥が発生した欠陥選択線に対応するヒューズのアドレスを指定してヒューズデコード信号を生成するヒューズデコーダ回路と、

前記ヒューズデコーダ回路からのヒューズデコード信号に応じて、前記デコード信号線の少なくとも1本を前記第1の冗長選択線の方にシフトさせる第1の切替動作を行うか、または、前記デコード信号線の少なくとも1本を前記第2の冗長選択線の方にシフトさせる第2の切替動作を行うか、または、前記第1の切替動作と前記第2の切替動作の双方の切替動作を行うように、前記複数のスイッチ素子を制御するシフト冗長制御回路部とを備えることを特徴とする半導体記憶装置。

【請求項31】 前記複数の選択線内の2本の選択線に欠陥が発生した場合に、前記ヒューズデコーダ回路が、該欠陥が発生した2本の欠陥選択線に対応するヒューズのアドレスを指定してヒューズデコード信号を生成し、前記シフト冗長制御回路部が、前記第1の切替動作と前記第2の切替動作の双方の切替動作を行うように、前記複数のスイッチ素子を制御する請求項30記載の半導体記憶装置。

【請求項32】 前記ヒューズデコーダ回路による前記欠陥選択線の各々に対応するヒューズのアドレスの指定は、前記複数の選択線の総数よりも少ない複数のヒューズの組み合わせにより行われる請求項31記載の半導体記憶装置。

【請求項33】 前記ヒューズデコーダ回路は、それぞれ異なる前記複数のヒューズの組み合わせにより生成される信号をデコードする2個のヒューズデコーダ部を有する請求項31記載の半導体記憶装置。

【請求項34】 前記複数の選択線内の1本の選択線に欠陥が発生した場合に、前記ヒューズデコーダ回路が、該欠陥が発生した1本の欠陥選択線に対応するヒューズのアドレスを指定してヒューズデコード信号を生成し、前記シフト冗長制御回路部が、前記第1の切替動作または前記第2の切替動作のいずれか一方

の切替動作を行うように、前記複数のスイッチ素子を制御する請求項 30 記載の半導体記憶装置。

【請求項 35】 前記ヒューズデコーダ回路による前記欠陥選択線に対応するヒューズのアドレスの指定は、前記複数の選択線の総数よりも少ない複数のヒューズの組み合わせにより行われる請求項 34 記載の半導体記憶装置。

【請求項 36】 前記ヒューズデコーダ回路は、それぞれ異なる前記複数のヒューズの組み合わせにより生成される信号をデコードする 2 個のヒューズデコーダ部を有する請求項 34 記載の半導体記憶装置。

【請求項 37】 外部から供給されるアドレス信号に基づき、複数のセルアレイの各々に設けられる複数のメモリセルから特定のメモリセルを選択してデータの書き込みまたは読み出しを行うための複数の選択線を配置してなる半導体記憶装置において、該複数のセルアレイの各々に対し、

前記複数の選択線の中で、一方の端に位置する少なくとも 1 本の第 1 の冗長選択線、および他方の端に位置する少なくとも 1 本の第 2 の冗長選択線と、

前記アドレス信号をデコードした複数のデコード信号線を、前記複数の選択線および前記冗長選択線に切替可能に接続するための複数のスイッチ素子を含むスイッチ部と、

前記複数の選択線内に欠陥が発生した場合に、前記複数の選択線の総数よりも少ない複数のヒューズの組み合わせに基づき、前記欠陥が発生した欠陥選択線に対応するヒューズのアドレスを指定してヒューズデコード信号を生成するヒューズデコーダ回路と、

前記ヒューズデコーダ回路からのヒューズデコード信号に応じて、前記デコード信号線の少なくとも 1 本を前記第 1 の冗長選択線の方にシフトさせる第 1 の切替動作を行うか、または、前記デコード信号線の少なくとも 1 本を前記第 2 の冗長選択線の方にシフトさせる第 2 の切替動作を行うか、または、前記第 1 の切替動作と前記第 2 の切替動作の双方の切替動作を行うように、前記複数のスイッチ素子を制御するシフト冗長制御回路部とを備え、

隣接するセルアレイに対し、前記複数のヒューズを有するシフト冗長ヒューズ回路部を共有させるように構成されることを特徴とする半導体記憶装置。

【請求項 38】 前記シフト冗長ヒューズ回路部が、通常動作時に使用される通常選択用のヒューズ回路、冗長選択時に使用される冗長選択用ヒューズ回路、および、強制冗長時に使用される強制冗長用ヒューズ回路を有する請求項 37 記載の半導体記憶装置。

【請求項 39】 前記の隣接するセルアレイに対し、前記通常選択用のヒューズ回路および前記強制冗長用ヒューズ回路を共有させる請求項 37 記載の半導体記憶装置。

【請求項 40】 前記の隣接するセルアレイに対し、それぞれ独立に前記冗長選択用ヒューズ回路を設ける請求項 38 記載の半導体記憶装置。

【請求項 41】 前記の隣接するセルアレイのいずれか一方の前記複数の選択線に対し、前記第 1 の切替動作を行うか、もしくは、前記第 2 の切替動作を行うか、もしくは、前記第 1 の切替動作と前記第 2 の切替動作の双方の切替動作を行うことが可能であり、または、前記の隣接するセルアレイの両方の前記複数の選択線に対し、前記第 1 の切替動作を行うか、もしくは、前記第 2 の切替動作を行うか、もしくは、前記第 1 の切替動作と前記第 2 の切替動作の双方の切替動作を行うことが可能である請求項 37 から 40 のいずれか一項に記載の半導体記憶装置。

【請求項 42】 外部から供給されるアドレス信号に基づき、複数のメモリセルブロックの各々を構成する複数のメモリセルから特定のメモリセルを選択してデータの書き込みまたは読み出しを行うための複数の列選択線を配置してなる半導体記憶装置において、該複数のメモリセルブロックの各々は、複数の行ブロックに分割され、該複数のメモリセルブロックの各々に対し、

前記複数の列選択線の中で、一方の端に位置する少なくとも 1 本の第 1 の冗長選択線、および他方の端に位置する少なくとも 1 本の第 2 の冗長選択線と、

前記アドレス信号をデコードした複数のデコード信号線を、前記複数の列選択線および前記冗長選択線に切替可能に接続するための複数のスイッチ素子を含むスイッチ部と、

前記複数の列選択線の総数よりも少ない複数のヒューズ、および、前記冗長選択線に対応して設けられる複数の冗長選択用ヒューズを有するシフト冗長ヒューズ

ズ回路部と、

前記複数の列選択線内に欠陥が発生した場合に、前記複数のヒューズの組み合わせに基づき、前記欠陥が発生した欠陥選択線に対応するヒューズのアドレスを指定してヒューズデコード信号を生成するヒューズデコード回路と、

前記ヒューズデコード回路からのヒューズデコード信号に応じて、前記デコード信号線の少なくとも1本を前記第1の冗長選択線の方にシフトさせる第1の切替動作を行うか、または、前記デコード信号線の少なくとも1本を前記第2の冗長選択線の方にシフトさせる第2の切替動作を行うか、または、前記第1の切替動作と前記第2の切替動作の双方の切替動作を行うように、前記複数のスイッチ素子を制御するシフト冗長制御回路部とを備え、

前記複数の行ブロックの論理アドレスに基づいて、前記複数の行ブロックの各々に対し独立に、前記第1の切替動作を行うか、または、前記第2の切替動作を行うか、または、前記第1の切替動作と前記第2の切替動作の双方の切替動作を行うか、または、前記第1の切替動作および前記第2の切替動作のいずれも行わないように構成されることを特徴とする半導体記憶装置。

【請求項43】 前記ヒューズデコード回路からの前記ヒューズデコード信号が、前記論理アドレスに基づいて生成される請求項42記載の半導体記憶装置。

【請求項44】 前記シフト冗長ヒューズ回路部が、通常動作時に使用される通常選択用のヒューズ回路、冗長選択時に使用される冗長選択用ヒューズ回路、および、強制冗長時に使用される強制冗長用ヒューズ回路を有する請求項42または43記載の半導体記憶装置。

【請求項45】 外部から供給されるアドレス信号に基づき、複数のメモリセルブロックの各々を構成する複数のメモリセルから特定のメモリセルを選択してデータの書き込みまたは読み出しを行うための複数の列選択線を配置してなる半導体記憶装置において、該複数のメモリセルブロックの各々は、複数の行ブロックに分割され、該複数のメモリセルブロックの各々に対し、

前記複数の列選択線の中で、一方の端に位置する少なくとも1本の第1の冗長選択線、および他方の端に位置する少なくとも1本の第2の冗長選択線と、

前記アドレス信号をデコードした複数のデコード信号線を、前記複数の列選択線および前記冗長選択線に切替可能に接続するための複数のスイッチ素子を含むスイッチ部と、

前記複数の列選択線および前記冗長選択線に対応して設けられる複数のヒューズを有し、前記複数の列選択線内に欠陥が発生した場合に、該欠陥が発生した欠陥選択線に対応するヒューズ、および、前記冗長選択線に対応する冗長選択用ヒューズを切断するシフト冗長ヒューズ回路部と、

前記シフト冗長ヒューズ回路部からの出力結果に応じて、前記デコード信号線の少なくとも1本を前記第1の冗長選択線の方にシフトさせる第1の切替動作を行うか、または、前記デコード信号線の少なくとも1本を前記第2の冗長選択線の方にシフトさせる第2の切替動作を行うか、または、前記第1の切替動作と前記第2の切替動作の双方の切替動作を行うように、前記複数のスイッチ素子を制御するシフト冗長制御回路部とを備え、

前記複数の行ブロックの論理アドレスに基づいて、前記複数の行ブロックの各々に対し独立に、前記第1の切替動作を行うか、または、前記第2の切替動作を行うか、または、前記第1の切替動作と前記第2の切替動作の双方の切替動作を行うか、または、前記第1の切替動作および前記第2の切替動作のいずれも行わないように構成されることを特徴とする半導体記憶装置。

【請求項46】 前記シフト冗長ヒューズ回路部からの前記出力結果が、前記論理アドレスに基づいて生成される請求項45記載の半導体記憶装置。

【請求項47】 前記シフト冗長ヒューズ回路部が、通常動作時に使用される通常選択用のヒューズ回路、冗長選択時に使用される冗長選択用ヒューズ回路、および、強制冗長時に使用される強制冗長用ヒューズ回路を有する請求項45または46記載の半導体記憶装置。

【請求項48】 外部から供給されるアドレス信号に基づき、複数のメモリセルから特定のメモリセルを選択してデータの書き込みまたは読み出しを行うための複数の選択線を配置し、該複数の選択線の中で一方の端に位置する選択線を少なくとも1本の第1の冗長選択線とし、かつ、他方の端に位置する選択線を少なくとも1本の第2の冗長選択線とし、

前記アドレス信号をデコードした複数のデコード信号線を、前記複数の選択線および前記冗長選択線に切替可能に接続し、

前記複数の選択線内に欠陥が発生した場合に、前記デコード信号線の少なくとも1本を前記第1の冗長選択線の方にシフトさせる第1の切替動作を行うか、または、前記デコード信号線の少なくとも1本を前記第2の冗長選択線の方にシフトさせる第2の切替動作を行うか、または、前記第1の切替動作と前記第2の切替動作の双方の切替動作を行うことを特徴とするシフト冗長方法。

【請求項49】 前記複数の選択線内の2本の選択線に欠陥が発生した場合に、前記第1の切替動作と前記第2の切替動作の双方の切替動作を行う請求項48記載のシフト冗長方法。

【請求項50】 前記複数の選択線内の1本の選択線に欠陥が発生した場合に、前記第1の切替動作または前記第2の切替動作のいずれか一方の切替動作を行う請求項48記載のシフト冗長方法。

【請求項51】 外部から供給されるアドレス信号に基づき、複数のメモリセルから特定のメモリセルを選択してデータの書き込みまたは読み出しを行うための複数の選択線を配置し、該複数の選択線の中で、一方の端に位置する選択線を少なくとも1本の第1の冗長選択線とし、かつ、他方の端に位置する選択線を少なくとも1本の第2の冗長選択線とし、

前記アドレス信号をデコードした複数のデコード信号線を、前記複数の選択線および前記冗長選択線に切替可能に接続し、

前記複数の選択線内に欠陥が発生した場合に、複数のヒューズを有するシフト冗長ヒューズ回路部内で、該欠陥が発生した欠陥選択線に対応するヒューズ、および、前記冗長選択線に対応する冗長選択用ヒューズを切断し、

前記シフト冗長ヒューズ回路部からの出力結果に応じて、前記デコード信号線の少なくとも1本を前記第1の冗長選択線の方にシフトさせる第1の切替動作を行うか、または、前記デコード信号線の少なくとも1本を前記第2の冗長選択線の方にシフトさせる第2の切替動作を行うか、または、前記第1の切替動作と前記第2の切替動作の双方の切替動作を行うことを特徴とするシフト冗長方法。

【請求項 5 2】 外部から供給されるアドレス信号に基づき、複数のメモリセルから特定のメモリセルを選択してデータの書き込みまたは読み出しを行うための複数の選択線を配置し、該複数の選択線の中で、一方の端に位置する選択線を少なくとも 1 本の第 1 の冗長選択線とし、かつ、他方の端に位置する選択線を少なくとも 1 本の第 2 の冗長選択線とし、

前記アドレス信号をデコードした複数のデコード信号線を、前記複数の選択線および前記冗長選択線に切替可能に接続し、

前記複数の選択線内に欠陥が発生した場合に、該欠陥が発生した欠陥選択線に対応するヒューズのアドレスを指定してヒューズデコード信号を生成し、

該ヒューズデコード信号に応じて、前記デコード信号線の少なくとも 1 本を前記第 1 の冗長選択線の方にシフトさせる第 1 の切替動作を行うか、または、前記デコード信号線の少なくとも 1 本を前記第 2 の冗長選択線の方にシフトさせる第 2 の切替動作を行うか、または、前記第 1 の切替動作と前記第 2 の切替動作の双方の切替動作を行うことを特徴とするシフト冗長方法。

【請求項 5 3】 外部から供給されるアドレス信号に基づき、複数のセルアレイの各々に設けられる複数のメモリセルから特定のメモリセルを選択してデータの書き込みまたは読み出しを行うための複数の選択線を配置し、該複数の選択線の中で、一方の端に位置する選択線を少なくとも 1 本の第 1 の冗長選択線とし、かつ、他方の端に位置する選択線を少なくとも 1 本の第 2 の冗長選択線とし、

前記アドレス信号をデコードした複数のデコード信号線を、前記複数の選択線および前記冗長選択線に切替可能に接続し、

隣接するセルアレイに対し、複数のヒューズを有するシフト冗長回路部を共有させ、

前記複数の選択線内に欠陥が発生した場合に、前記複数のヒューズの組み合わせに基づき、前記欠陥が発生した欠陥選択線に対応するヒューズのアドレスを指定してヒューズデコード信号を生成し、

前記の隣接するセルアレイのいずれか一方またはその両方に対し、前記ヒューズデコード回路からのヒューズデコード信号に応じて、前記デコード信号線の少なくとも 1 本を前記第 1 の冗長選択線の方にシフトさせる第 1 の切替動作を行

うか、または、前記デコード信号線の少なくとも1本を前記第2の冗長選択線の方にシフトさせる第2の切替動作を行うか、または、前記第1の切替動作と前記第2の切替動作の双方の切替動作を行うことを特徴とするシフト冗長方法。

【請求項54】 外部から供給されるアドレス信号に基づき、複数のメモリセルブロックの各々を構成する複数のメモリセルから特定のメモリセルを選択してデータの書き込みまたは読み出しを行うための複数の列選択線を配置し、該複数のメモリセルブロックの各々は、複数の行ブロックに分割され、前記複数の列選択線の中で、一方の端に位置する列選択線を少なくとも1本の第1の冗長選択線とし、かつ、他方の端に位置する列選択線を少なくとも1本の第2の冗長選択線とし、

前記アドレス信号をデコードした複数のデコード信号線を、前記複数の列選択線および前記冗長選択線に切替可能に接続し、

前記複数の列選択線内に欠陥が発生した場合に、複数のヒューズを有するシフト冗長ヒューズ回路部内で、該複数のヒューズの組み合わせに基づき、前記欠陥が発生した欠陥選択線に対応するヒューズのアドレスを指定してヒューズデコード信号を生成し、

前記複数の行ブロックの論理アドレスに基づいて、前記複数の行ブロックの各々に対し独立に、前記デコード信号線の少なくとも1本を前記第1の冗長選択線の方にシフトさせる第1の切替動作を行うか、または、前記デコード信号線の少なくとも1本を前記第2の冗長選択線の方にシフトさせる第2の切替動作を行うか、または、前記第1の切替動作と前記第2の切替動作の双方の切替動作を行うか、または、前記第1の切替動作および前記第2の切替動作のいずれも行わないようにすることを特徴とするシフト冗長方法。

【請求項55】 外部から供給されるアドレス信号に基づき、複数のメモリセルブロックの各々を構成する複数のメモリセルから特定のメモリセルを選択してデータの書き込みまたは読み出しを行うための複数の列選択線を配置し、該複数のメモリセルブロックの各々は、複数の行ブロックに分割され、前記複数の列選択線の中で、一方の端に位置する列選択線を少なくとも1本の第1の冗長選択線とし、かつ、他方の端に位置する列選択線を少なくとも1本の第2の冗長選択

線とし、

前記アドレス信号をデコードした複数のデコード信号線を、前記複数の選択線および前記冗長選択線に切替可能に接続し、

前記複数の列選択線内に欠陥が発生した場合に、複数のヒューズを有するシフト冗長ヒューズ回路部内で、該欠陥が発生した欠陥選択線に対応するヒューズ、および、前記冗長選択線に対応する冗長選択用ヒューズを切断し、

前記複数の行ブロックの論理アドレスに基づいて、前記複数の行ブロックの各々に対し独立に、前記デコード信号線の少なくとも1本を前記第1の冗長選択線の方にシフトさせる第1の切替動作を行うか、または、前記デコード信号線の少なくとも1本を前記第2の冗長選択線の方にシフトさせる第2の切替動作を行うか、または、前記第1の切替動作と前記第2の切替動作の双方の切替動作を行うか、または、前記第1の切替動作および前記第2の切替動作のいずれも行わないようにすることを特徴とするシフト冗長方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、複数のメモリセルから特定のメモリセルを選択してデータの書き込みまたは読み出しを行うための複数の選択線の一部に欠陥が発生した場合に、冗長選択線を使用して欠陥を救済するためのシフト冗長機能を備えた半導体記憶装置およびシフト冗長方法に関する。近年のダイナミック・ランダム・アクセス・メモリ（DRAM）やフラッシュメモリ等のような大容量の半導体記憶装置においては、欠陥なく半導体チップを製造することは極めて困難である。半導体チップの製造後に、このような欠陥が発生していることが見いだされた場合、この半導体チップは最悪廃棄しなければならない、チップ製造の歩留りが低下するおそれがある。このような事態を回避するために、半導体チップ内に予め設けられた冗長選択線等の冗長回路要素を利用することにより欠陥を救済する対策を講じることが不可欠になる。

【0002】

さらに、近年の大容量の半導体記憶装置に対しては、高速動作かつ低消費電力

動作が要求されるようになっている。このため、上記のような冗長回路要素を利用した冗長方式においては、①冗長置き換え処理が速く、高速アクセスが実現されること、②低消費電力であること、および、③半導体チップ上の欠陥を効率良く救済できることが要求される。

【0003】

【従来の技術】

半導体チップ内の冗長回路要素を利用した冗長方式として、現在さまざまな方式が採用されているが、この中のシフト冗長方式は、アクセス速度が速い、消費電流（消費電力）が小さい等の特徴を有しており、近年の大容量の半導体記憶装置に対し有効な手段と考えられる。

【0004】

図94は、一般の冗長機能を備えた半導体記憶装置の構成を示すブロック図である。

【0005】

例えばDRAM等の半導体記憶装置においては、図94に示すように、マトリクス状に配置された複数のメモリセル600に対し、外部から供給されるデコード信号に基づいて動作する行デコーダ800と、列デコーダ700が設けられている。これらの行デコーダ800および列デコーダ700は、それぞれ、ロー選択線（行選択線ともよばれる）WLおよびカラム選択線（列選択線ともよばれる）CLに接続されており、上記デコード信号のアドレス信号Add（A0～An）に基づき、複数のメモリセルから特定のメモリセルを選択してデータの書き込みまたは読み出しを行うために使用される。

【0006】

一般の冗長方式においては、欠陥が発生したロー選択線またはカラム選択線（以下、特に断らない限り、単に選択線と称する）を、予め用意している欠陥救済用の冗長選択線に置き換えることによって冗長を実行する。

【0007】

実際には、冗長判定回路840により、アドレス信号Addのアドレスが入力される毎に、入力されたアドレスと、予め検出され記憶されている欠陥選択線の

アドレスとを比較し、入力されたアドレスが欠陥選択線のアドレスに一致するか否か（一致／不一致）を判定している。また一方で、アドレス信号 A d d のアドレスは、冗長判定回路 840 を経由することなく、行デコーダ 800 に順次入力される。冗長判定回路 840 により、ある一つの入力アドレスが、欠陥選択線のアドレスに一致しないと判定された場合、行デコーダ 800 は、この判定結果を受けて上記入力アドレスに対応する選択線（ロー選択線）を選択する動作を行う。ある一つの入力アドレスが、欠陥選択線のアドレスに一致すると判定された場合、行デコーダ 800 は、上記入力アドレスに対応する選択線は選択せず冗長選択線を選択する動作を行う。このようにして、冗長判定回路 840 は、入力される全てのアドレスに対し、入力アドレスと欠陥選択線のアドレスとの一致／不一致を判定する。

【0008】

さらに、冗長判定回路 740 により、アドレス信号 A d d のアドレスが入力される毎に、入力されたアドレスと、予め検出され記憶されている欠陥選択線のアドレスとを比較し、入力されたアドレスが欠陥選択線のアドレスに一致するか否か（一致／不一致）を判定している。また一方で、アドレス信号 A d d のアドレスは、冗長判定回路 740 を経由することなく、列デコーダ 700 に順次入力される。冗長判定回路 740 により、ある一つの入力アドレスが、欠陥選択線のアドレスに一致しないと判定された場合、列デコーダ 700 は、この判定結果を受けて上記入力アドレスに対応する選択線（カラム選択線）を選択する動作を行う。ある一つの入力アドレスが、欠陥選択線のアドレスに一致すると判定された場合、列デコーダ 700 は、上記入力アドレスに対応する選択線は選択せず冗長選択線を選択する動作を行う。このようにして、冗長判定回路 740 は、入力される全てのアドレスに対し、入力アドレスと欠陥選択線のアドレスとの一致／不一致を判定する。

【0009】

ここで、カラム選択線 C L（選択線 s 0 ～ s n、冗長選択線 s j 0）に欠陥が発生した場合の図 94 の動作をより詳しく説明する。冗長判定回路 740 から出力される冗長イネーブル（活性化）信号 J E N が “L (Low)” レベルならば（

すなわち、入力アドレスと欠陥選択線のアドレスとが不一致になっていると判定された場合)、列デコーダ700は、アドレス信号Addの入力アドレスを通常どおりデコードし、選択線s0～snの中から目的の選択線を選択する。また一方で、冗長判定回路740から出力される冗長イネーブル信号JENが“H (High)”レベルならば(すなわち、入力アドレスと欠陥選択線のアドレスとが一致すると判定された場合)、列デコーダ700は、入力アドレスから選択されるべき選択線を非選択状態にして冗長選択線sj0を選択する。

【0010】

また一方で、ロー選択線WLに欠陥が発生した場合の図94の動作をより詳しく説明する。冗長判定回路840から出力される冗長イネーブル(活性化)信号JENが“L”レベルならば(すなわち、入力アドレスと欠陥選択線のアドレスとが不一致になっていると判定された場合)、行デコーダ800は、アドレス信号Addの入力アドレスを通常どおりデコードし、複数の選択線の中から目的の選択線を選択する。また一方で、冗長判定回路840から出力される冗長イネーブル信号JENが“H”レベルならば(すなわち、入力アドレスと欠陥選択線のアドレスとが一致すると判定された場合)、行デコーダ800は、入力アドレスから選択されるべき選択線を非選択状態にして冗長選択線を選択する。

【0011】

前述したように、アドレス信号Addは、冗長判定回路740(または冗長判定回路840)の冗長判定動作に関係なく列デコーダ700(または行デコーダ800)に順次入力される。それゆえに、冗長判定回路740(または840)による判定結果として出力される冗長イネーブル信号JENは、アドレス信号Addが列デコーダ700(または行デコーダ800)に入力されるタイミングよりも遅れて列デコーダ700(または行デコーダ800)に入力されることになる(ただし、図94のディレイ回路720、820がない場合)。ここで、アドレス信号Addが列デコーダ700(または行デコーダ800)に入力される経路を時間的に遅らせない場合、本来冗長されるべき選択線(すなわち、非選択状態にすべき選択線)が、ある一時期選択されてしまうことになる。このような事態を回避するために、アドレス信号Addが列デコーダ700に供給される経路

にディレイ回路 720 を設ける方法（または、アドレス信号 A d d が行デコーダ 800 に供給される経路にディレイ回路 820 を設ける方法）、またはこれに準じた方法により、冗長判定回路 740（または冗長判定回路 840）の冗長判定結果を待ってからアドレス信号をデコードする必要がある。このディレイ回路による遅延時間のために、データの書き込みまたは読み出しの際のアクセス時間が余計にかかり、高速アクセスが困難になる。さらに、アドレス信号 A d d が入力される毎に、冗長判定回路 740（または冗長判定回路 840）を動作させることが必要であり、このために消費電流（消費電力）が増大する。

【0012】

これに対し、従来のシフト冗長機能を備えたシフト冗長方式においては、上記のような欠陥選択線を冗長選択線に直接置き換える方式とは異なり、複数のスイッチ素子を動作させて欠陥選択線より上位（または下位）の選択線のアドレスを 1 ビット下位（または上位）にシフトさせるようにしている。このようなシフト冗長方式では、複数のスイッチ素子により、列デコーダ 700（または行デコーダ 800）から出力されるデコード信号とカラム選択線 C L（またはロー選択線）との接続関係が一度決定されれば、2 度と変わることはない。したがって、アドレス信号 A d d のアドレスが入力される毎に、冗長判定回路を動作させて入力アドレスと欠陥選択線のアドレスとの一致／不一致を判定する必要がなくなる。この結果、従来のシフト冗長方式を利用した半導体装置においては、アクセス速度が比較的速くなり、消費電流が小さくなる。

【0013】

【発明が解決しようとする課題】

しかしながら、従来のシフト冗長方式では、1 ビット分、すなわち、1 本の選択線の分しかデコード信号線をシフトさせる（すなわち、1 ビットのシフト冗長を行う）ことしかできないので、選択線同士のショート等に起因する 2 本以上の欠陥選択線が存在した場合、このような欠陥選択線を救済することが不可能であった。

【0014】

それゆえに、従来のシフト冗長方式を使用した場合でも、半導体チップ上の欠

陥を効率良く救済することができないので、チップ製造の歩留まりをそれほど高くすることができないといった問題が生じてきた。

【0015】

さらに、複数のメモリセルを含むセルアレイが複数個配置された半導体チップにおいては、一般に、各々のセルアレイに対応して独立に冗長判定回路等を設けるようにしているので、1つのセルアレイ内の選択線（ロー選択線またはカラム選択線）の総数に対してしか冗長の自由度を確保することができなかった。

【0016】

さらにまた、複数の行ブロックにわたって配置されたカラム選択線に対しシフト冗長を行う場合に、上記のカラム選択線のシフト冗長を行うか否かが全ての行ブロックに対し一様に決まっていた。このため、全ての行ブロックの冗長が行われなかったり、全ての行ブロックで同じカラム選択線に対するシフト冗長が行われたりするので、行ブロック単位での冗長を行うことができず、冗長の自由度が制限される傾向にあった。

【0017】

本発明は上記問題点に鑑みてなされたものであり、選択線同士のショート等が存在して2本以上の欠陥選択線が生じた場合に、このような欠陥選択線を救済することが可能であると共に、冗長の自由度を比較的大きくすることが可能なシフト冗長方式の半導体記憶装置およびシフト冗長方法を提供することを目的とするものである。

【0018】

【課題を解決するための手段】

上記問題点を解決するために、本発明の半導体記憶装置は、外部から供給されるアドレス信号に基づき、複数のメモリセルから特定のメモリセルを選択してデータの書き込みまたは読み出しを行うための複数の選択線を配置しており、上記複数の選択線の中で、一方の端に位置する少なくとも1本の第1の冗長選択線、および他方の端に位置する少なくとも1本の第2の冗長選択線と、上記アドレス信号をデコードした複数のデコード信号線を、上記複数の選択線および上記冗長選択線に切替可能に接続するためのスイッチ回路（後述の図1および図2のスイ

ッチ部 2 にほぼ対応する) とを備えている。

【0019】

このような構成において、上記複数の選択線内に欠陥が発生した場合に、上記デコード信号線の少なくとも 1 本を上記第 1 の冗長選択線の方にシフトさせる第 1 の切替動作を行うか、または、上記デコード信号線の少なくとも 1 本を上記第 2 の冗長選択線の方にシフトさせる第 2 の切替動作を行うか、または、上記第 1 の切替動作と上記第 2 の切替動作の双方の切替動作を行うようにしている。ここで、「デコード信号線をシフトさせる」とは、選択線とデコード信号線との接続の状態をシフトさせることを意味する。

【0020】

好ましくは、上記複数の選択線内の 2 本の選択線に欠陥が発生した場合に、上記第 1 の切替動作と上記第 2 の切替動作の双方の切替動作を行うように構成される。

【0021】

さらに、好ましくは、上記複数の選択線が左右方向に並んで配置されている場合、上記複数の選択線内の 2 本の選択線に欠陥が発生したときに、上記デコード信号線の少なくとも 1 本を左方向にシフトさせて上記第 1 の切替動作を行うと共に、上記デコード信号線の少なくとも 1 本を右方向にシフトさせて上記第 2 の切替動作を行うように構成される。すなわち、本発明の半導体記憶装置では、第 1 の冗長選択線の方、および第 2 の冗長選択線の方にデコード信号線をシフトさせることにより、2 ビットのシフト冗長を行うように構成される。

【0022】

さらに、好ましくは、上記複数の選択線内の 1 本の選択線に欠陥が発生した場合に、上記第 1 の切替動作または上記第 2 の切替動作のいずれか一方の切替動作を行うように構成される。

【0023】

さらに、好ましくは、上記複数の選択線が左右方向に並んで配置されている場合、上記複数の選択線内の 1 本の選択線に欠陥が発生したときに、上記デコード信号線の少なくとも 1 本を左方向にシフトさせて上記第 1 の切替動作を行うか、

または、上記デコード信号線の少なくとも1本を右方向にシフトさせて上記第2の切替動作を行うように構成される。すなわち、本発明の半導体記憶装置では、第1の冗長選択線の方向、または第2の冗長選択線のいずれかの方向にシフトさせることにより、従来の場合と同じように、1ビットのシフト冗長を行うことも可能なように構成される。

【0024】

また一方で、本発明の半導体装置は、外部から供給されるアドレス信号に基づき、複数のメモリセルから特定のメモリセルを選択してデータの書き込みまたは読み出しを行うための複数の選択線を配置し、上記複数の選択線の中で、一方の端に位置する少なくとも1本の第1の冗長選択線、および他方の端に位置する少なくとも1本の第2の冗長選択線と、上記アドレス信号をデコードした複数のデコード信号線を、上記複数の選択線および上記冗長選択線に切替可能に接続するための複数のスイッチ素子を含むスイッチ部と、上記複数の選択線および上記冗長選択線に対応して設けられる複数のヒューズを有し、上記複数の選択線内に欠陥が発生した場合に、上記欠陥が発生した欠陥選択線に対応するヒューズ、および、上記冗長選択線に対応する冗長選択用ヒューズを切断するシフト冗長ヒューズ回路部と、上記シフト冗長ヒューズ回路部からの出力結果に応じて、上記デコード信号線の少なくとも1本を上記第1の冗長選択線の方向にシフトさせる第1の切替動作を行うか、または、上記デコード信号線の少なくとも1本を上記第2の冗長選択線の方向にシフトさせる第2の切替動作を行うか、または、上記第1の切替動作と上記第2の切替動作の双方の切替動作を行うように、上記複数のスイッチ素子を制御するシフト冗長制御回路部とを備える。

【0025】

好ましくは、上記複数の選択線内の2本の選択線に欠陥が発生した場合に、上記シフト冗長ヒューズ回路部が、上記欠陥が発生した2本の欠陥選択線に対応するヒューズ、および、上記冗長選択線に対応する冗長選択用ヒューズを切断し、上記シフト冗長制御回路部が、上記第1の切替動作と上記第2の切替動作の双方の切替動作を行うように、上記複数のスイッチ素子を制御するようになっている。

【0026】

さらに、好ましくは、上記複数の選択線内の1本の選択線に欠陥が発生した場合に、上記シフト冗長ヒューズ回路部が、上記欠陥が発生した1本の欠陥選択線に対応するヒューズ、および、上記冗長選択線に対応する冗長選択用ヒューズを切断し、上記シフト冗長制御回路部が、上記第1の切替動作または上記第2の切替動作のいずれか一方の切替動作を行うように、上記複数のスイッチ素子を制御するようになっている。

【0027】

さらに、図1～図4を参照しながら、本発明の半導体記憶装置の基本的な回路構成について述べることにする。

【0028】

図1は、本発明の原理構成を示すブロック図、図2は、本発明の基本原理を説明するための模式図、図3は、本発明のシフト冗長回路の基本概念を示すブロック図、そして、図4は、図3の各部の信号レベルを示す図である。なお、これ以降、前述した構成要素と同様のものについては、同一の参照番号を付して表す。

【0029】

図1に示すように、本発明の半導体記憶装置は、外部から供給されるアドレス信号Addをデコードするデコーダ回路5を有する。さらに、上記半導体記憶装置では、このデコーダ回路5から出力されるデコード信号Sdecのアドレスに基づき、複数のメモリセルから特定のメモリセルを選択してデータの書き込みまたは読み出しを行うための複数の選択線s10～s1(n-1)(nは2以上の任意の正の整数)を配置すると共に、上記複数の選択線に欠陥がない場合は、上記デコード信号Sdecが転送される複数のデコード信号線のいずれにも接続されない2本の冗長選択線s1j0、s1j1を、上記複数の選択線の中で一方の端の位置、および他方の端の位置にそれぞれ配置している。

【0030】

さらに、図1においては、上記複数のデコード信号線と、上記複数の選択線および冗長選択線との接続関係を制御するシフト冗長回路1を設けている。このシフト冗長回路1は、上記複数のデコード信号線を、上記複数の選択線および冗長

選択線に切替可能に接続するための複数のスイッチ素子を含むスイッチ部 2 と、上記複数の選択線および上記冗長選択線に対応して設けられる複数のヒューズを有し、上記複数の選択線に欠陥が発生した場合に、これらの欠陥が発生した欠陥選択線に対応するヒューズ、および、上記冗長選択線に対応する冗長選択用ヒューズを切断するシフト冗長ヒューズ回路部 4 とを備えている。ここで、シフト冗長ヒューズ回路部 4 から出力された信号は、シフト冗長制御回路部 3 に入力される。さらに、このシフト冗長制御回路部 3 から出力された信号は、スイッチ部 2 を制御するためのシフト制御信号として使用される。

【0031】

さらに、図 1 のシフト冗長回路 1 は、上記シフト冗長ヒューズ回路部 4 からの出力結果に応じて、上記欠陥選択線を上記デコード信号線のいずれにも接続させない非選択状態にし、上記複数の選択線の中で一方の端（例えば、左端）に位置する第 1 の冗長選択線 $s1j0$ の方向に、1 本の選択線の分（すなわち、1 ビット分）だけ上記複数のデコード信号線をシフトさせたり、上記複数の選択線の中で他方の端（例えば、右端）に位置する第 2 の冗長選択線 $s1j1$ の方向に、1 本の選択線の分だけ上記複数のデコード信号線をシフトさせたりするように、上記複数のスイッチ素子の切替動作を制御するシフト冗長制御回路部 3 を備えている。すなわち、図 1 の半導体記憶装置は、第 1 の冗長選択線の方、もしくは、第 2 の冗長選択線の方、またはその両方の方向にシフトさせることにより、1 ビットまたは 2 ビットのシフト冗長を行うように構成される。

【0032】

好ましくは、本発明の半導体記憶装置では、上記シフト冗長ヒューズ回路部 4 からの出力結果が、上記欠陥選択線に対応するヒューズ、および上記冗長選択用ヒューズが切断されているか否かを示す直流電圧のレベルにて出力されるようになっている。

【0033】

さらに、好ましくは、上記シフト冗長制御回路部 4 は、上記シフト冗長ヒューズ回路部 4 からの出力結果を受けて、上記複数の選択線をいずれかの方向にシフトさせるためのシフト制御信号を出力する NAND ゲート（否定論理積ゲート）

と、このNANDゲートからのシフト制御信号を反転するインバータとを含む。

【0034】

さらに、好ましくは、上記シフト冗長制御回路部4は、上記シフト冗長ヒューズ回路部4からの出力結果を受けて、上記複数の選択線をいずれかの方向にシフトさせるためのシフト制御信号を出力するNORゲート（否定論理和ゲート）と、このNORゲートからのシフト制御信号を反転するインバータとを含む。

【0035】

さらに、好ましくは、本発明の半導体記憶装置では、上記スイッチ部2内の複数のスイッチ素子の各々が、上記第1の冗長選択線s1j0の方向へのシフト動作（すなわち、左方向シフト）を行うモード、上記第2の冗長選択線の方向へのシフト動作（すなわち、右方向シフト）を行うモード、またはシフト動作を行わないモード（すなわち、シフトなし）を選択することが可能な3方向性のスイッチ素子である。

【0036】

さらに、好ましくは、上記複数のスイッチ素子の各々は、上記デコード信号線と上記欠陥選択線との接続を行わない非選択のモードを選択することが可能である。

【0037】

さらに、好ましくは、本発明の半導体記憶装置では、上記シフト冗長ヒューズ回路部4が、通常動作時に使用される通常選択用のヒューズ回路、冗長選択時に使用される冗長選択用ヒューズ回路、および、強制冗長時に使用される強制冗長用ヒューズ回路を有する。

【0038】

さらに、好ましくは、本発明の半導体記憶装置では、上記シフト冗長ヒューズ回路部4が、強制冗長時に、予め定められた選択線に対応するヒューズを切断したように見せかける強制冗長用ヒューズ回路を設け、上記冗長選択線に不良がないか否かを確認するように構成される。

【0039】

さらに、好ましくは、本発明の半導体記憶装置では、上記強制冗長ヒューズ回

路に接続される選択線が、上記冗長選択線の隣以外の場所に配置される。

【0040】

また一方で、本発明の半導体記憶装置におけるシフト冗長回路1は、上記複数のデコード信号線を、上記複数の選択線および冗長選択線に切替可能に接続するための複数のスイッチ素子を含むスイッチ部2と、上記複数の選択線および上記冗長選択線にそれぞれ対応して設けられる複数のヒューズを有し、上記複数の選択線内の1本の選択線に欠陥が発生した場合に、これらの欠陥が発生した欠陥選択線に対応するヒューズ、および、上記冗長選択線に対応する冗長選択用ヒューズを切断するシフト冗長ヒューズ回路部4とを備えている。

【0041】

さらに、上記のシフト冗長回路1は、上記シフト冗長ヒューズ回路部からの出力結果に応じて、上記欠陥選択線を上記デコード信号線のいずれにも接続させない非選択状態にし、上記複数の選択線の中でいずれか一方の端に位置する冗長選択線の方に、1本の選択線の分だけ上記複数のデコード信号線をシフトさせるように、上記複数のスイッチ素子の切替動作を制御するシフト冗長制御回路部3を備えている。すなわち、図1の半導体記憶装置は、第1の冗長選択線の方、または第2の冗長選択線のいずれかの方向にシフトさせることにより、1ビットのシフト冗長を行うこともできる。

【0042】

さらに、好ましくは、本発明の半導体記憶装置では、上記複数のメモリセルのブロック内で、上記シフト冗長ヒューズ回路部4の出力レベルを評価して少なくとも一つのヒューズが切断されているか否かを判定することにより、上記冗長選択線が使用されているか否かを検出するようにしている。

【0043】

さらに、好ましくは、本発明の半導体記憶装置では、上記複数のメモリセルの周期性が変わらないように（すなわち、メモリセルのトポロジが変わらないように）するために、1本の選択線により選択されるメモリセルブロックの周期性を上記メモリセルの周期性に一致させるようにしている。

【0044】

さらに、好ましくは、本発明の半導体記憶装置では、半導体チップ内で、上記複数の選択線と上記複数のヒューズとが同一のピッチにてレイアウトが行われるようになっている。

【0045】

さらに、本発明の第1の好ましい実施態様において、外部から供給されるアドレス信号に基づき、複数のメモリセルから特定のメモリセルを選択してデータの書き込みまたは読み出しを行うための複数の選択線を配置してなる半導体記憶装置が、上記複数の選択線の中で、一方の端に位置する少なくとも1本の第1の冗長選択線、および他方の端に位置する少なくとも1本の第2の冗長選択線と、上記アドレス信号をデコードした複数のデコード信号線を、上記複数の選択線および上記冗長選択線に切替可能に接続するための複数のスイッチ素子を含むスイッチ部と、上記複数の選択線内に欠陥が発生した場合に、上記欠陥が発生した欠陥選択線に対応するヒューズのアドレスを指定してヒューズデコード信号を生成するヒューズデコーダ回路と、上記ヒューズデコーダ回路からのヒューズデコード信号に応じて、上記デコード信号線の少なくとも1本を上記第1の冗長選択線の方にシフトさせる第1の切替動作を行うか、または、上記デコード信号線の少なくとも1本を上記第2の冗長選択線の方にシフトさせる第2の切替動作を行うか、または、上記第1の切替動作と上記第2の切替動作の双方の切替動作を行うように、上記複数のスイッチ素子を制御するシフト冗長制御回路部とを備える。

【0046】

好ましくは、上記複数の選択線内の2本の選択線に欠陥が発生した場合に、上記ヒューズデコーダ回路が、上記欠陥が発生した2本の欠陥選択線に対応するヒューズのアドレスを指定してヒューズデコード信号を生成し、上記シフト冗長制御回路部が、上記第1の切替動作と上記第2の切替動作の双方の切替動作を行うように、上記複数のスイッチ素子を制御するようになっている。

【0047】

さらに、本発明の第1の好ましい実施態様に係る半導体記憶装置では、上記ヒューズデコーダ回路による上記欠陥選択線の各々に対応するヒューズのアドレス

の指定は、上記複数の選択線の総数よりも少ない複数のヒューズの組み合わせにより行われる。

【0048】

さらに、本発明の第1の好ましい実施態様に係る半導体記憶装置では、上記ヒューズデコーダ回路は、それぞれ異なる上記複数のヒューズの組み合わせにより生成される信号をデコードする2個のヒューズデコーダ部を有する。

【0049】

さらに、本発明の第2の好ましい実施態様において、上記複数の選択線内の1本の選択線に欠陥が発生した場合に、上記ヒューズデコーダ回路が、上記欠陥が発生した1本の欠陥選択線に対応するヒューズのアドレスを指定してヒューズデコード信号を生成し、上記シフト冗長制御回路部が、上記第1の切替動作または上記第2の切替動作のいずれか一方の切替動作を行うように、上記複数のスイッチ素子を制御するようになっている。

【0050】

さらに、本発明の第2の好ましい実施態様に係る半導体記憶装置では、上記ヒューズデコーダ回路による上記欠陥選択線に対応するヒューズのアドレスの指定は、上記複数の選択線の総数よりも少ない複数のヒューズの組み合わせにより行われる。

【0051】

さらに、本発明の第2の好ましい実施態様に係る半導体記憶装置では、上記ヒューズデコーダ回路は、それぞれ異なる上記複数のヒューズの組み合わせにより生成される信号をデコードする2個のヒューズデコーダ部を有する。

【0052】

さらに、本発明の第3の好ましい実施態様において、外部から供給されるアドレス信号に基づき、複数のセルアレイの各々に設けられる複数のメモリセルから特定のメモリセルを選択してデータの書き込みまたは読み出しを行うための複数の選択線を配置してなる半導体記憶装置が、上記複数のセルアレイの各々に対し、上記複数の選択線の中で、一方の端に位置する少なくとも1本の第1の冗長選択線、および他方の端に位置する少なくとも1本の第2の冗長選択線と、上記ア

ドレス信号をデコードした複数のデコード信号線を、上記複数の選択線および上記冗長選択線に切替可能に接続するための複数のスイッチ素子を含むスイッチ部と、上記複数の選択線内に欠陥が発生した場合に、上記複数の選択線の総数よりも少ない複数のヒューズの組み合わせに基づき、上記欠陥が発生した欠陥選択線に対応するヒューズのアドレスを指定してヒューズデコード信号を生成するヒューズデコーダ回路と、上記ヒューズデコーダ回路からのヒューズデコード信号に応じて、上記デコード信号線の少なくとも1本を上記第1の冗長選択線の方にシフトさせる第1の切替動作を行うか、または、上記デコード信号線の少なくとも1本を上記第2の冗長選択線の方にシフトさせる第2の切替動作を行うか、または、上記第1の切替動作と上記第2の切替動作の双方の切替動作を行うように、上記複数のスイッチ素子を制御するシフト冗長制御回路部とを備え、隣接するセルアレイに対し、上記複数のヒューズを有するシフト冗長ヒューズ回路部を共有させるように構成される。

【0053】

さらに、本発明の第3の好ましい実施態様に係る半導体記憶装置では、上記シフト冗長ヒューズ回路部が、通常動作時に使用される通常選択用のヒューズ回路、冗長選択時に使用される冗長選択用ヒューズ回路、および、強制冗長時に使用される強制冗長用ヒューズ回路を有しており、上記の隣接するセルアレイに対し、上記通常選択用のヒューズ回路および上記強制冗長用ヒューズ回路を共有させるように構成される。

【0054】

さらに、本発明の第3の好ましい実施態様に係る半導体記憶装置では、上記の隣接するセルアレイに対し、それぞれ独立に上記冗長選択用ヒューズ回路を設けるようにしている。

【0055】

さらに、本発明の第3の好ましい実施態様に係る半導体記憶装置では、上記の隣接するセルアレイのいずれか一方の複数の選択線に対し、上記第1の切替動作を行うか、もしくは、上記第2の切替動作を行うか、もしくは、上記第1の切替動作と上記第2の切替動作の双方の切替動作を行うことが可能であり、または、

上記の隣接するセルアレイの両方の複数の選択線に対し、上記第1の切替動作を行うか、もしくは、上記第2の切替動作を行うか、もしくは、上記第1の切替動作と上記第2の切替動作の双方の切替動作を行うことが可能である。

【0056】

さらに、本発明の第4の好ましい実施態様において、外部から供給されるアドレス信号に基づき、複数のメモリセルブロックの各々を構成する複数のメモリセルから特定のメモリセルを選択してデータの書き込みまたは読み出しを行うための複数の列選択線を配置してなる半導体記憶装置が、上記複数のメモリセルブロックの各々は、複数の行ブロックに分割され、これらの複数のメモリセルブロックの各々に対し、上記複数の列選択線の中で、一方の端に位置する少なくとも1本の第1の冗長選択線、および他方の端に位置する少なくとも1本の第2の冗長選択線と、上記アドレス信号をデコードした複数のデコード信号線を、上記複数の列選択線および上記冗長選択線に切替可能に接続するための複数のスイッチ素子を含むスイッチ部と、上記複数の列選択線の総数よりも少ない複数のヒューズ、および、上記冗長選択線に対応して設けられる複数の冗長選択用ヒューズを有するシフト冗長ヒューズ回路部と、上記複数の列選択線内に欠陥が発生した場合に、上記複数のヒューズの組み合わせに基づき、上記欠陥が発生した欠陥選択線に対応するヒューズのアドレスを指定してヒューズデコード信号を生成するヒューズデコーダ回路と、上記ヒューズデコーダ回路からのヒューズデコード信号に応じて、上記デコード信号線の少なくとも1本を上記第1の冗長選択線の方にシフトさせる第1の切替動作を行うか、または、上記デコード信号線の少なくとも1本を上記第2の冗長選択線の方にシフトさせる第2の切替動作を行うか、または、上記第1の切替動作と上記第2の切替動作の双方の切替動作を行うように、上記複数のスイッチ素子を制御するシフト冗長制御回路部とを備え、上記複数の行ブロックの論理アドレスに基づいて、上記複数の行ブロックの各々に対し独立に、上記第1の切替動作を行うか、または、上記第2の切替動作を行うか、または、上記第1の切替動作と上記第2の切替動作の双方の切替動作を行うか、または、上記第1の切替動作および上記第2の切替動作のいずれも行わないように構成される。

【0057】

好ましくは、上記ヒューズデコーダ回路からのヒューズデコード信号は、上記論理アドレスに基づいて生成される。

【0058】

さらに、本発明の第5の好ましい実施態様において、外部から供給されるアドレス信号に基づき、複数のメモリセルブロックの各々を構成する複数のメモリセルから特定のメモリセルを選択してデータの書き込みまたは読み出しを行うための複数の列選択線を配置してなる半導体記憶装置が、上記複数のメモリセルブロックの各々は、複数の行ブロックに分割され、これらの複数のメモリセルブロックの各々に対し、上記複数の列選択線の中で、一方の端に位置する少なくとも1本の第1の冗長選択線、および他方の端に位置する少なくとも1本の第2の冗長選択線と、上記アドレス信号をデコードした複数のデコード信号線を、上記複数の列選択線および上記冗長選択線に切替可能に接続するための複数のスイッチ素子を含むスイッチ部と、上記複数の列選択線および上記冗長選択線に対応して設けられる複数のヒューズを有し、上記複数の列選択線内に欠陥が発生した場合に、上記欠陥が発生した欠陥選択線に対応するヒューズ、および、上記冗長選択線に対応する冗長選択用ヒューズを切断するシフト冗長ヒューズ回路部と、上記シフト冗長ヒューズ回路部からの出力結果に応じて、上記デコード信号線の少なくとも1本を上記第1の冗長選択線の方にシフトさせる第1の切替動作を行うか、または、上記デコード信号線の少なくとも1本を上記第2の冗長選択線の方にシフトさせる第2の切替動作を行うか、または、上記第1の切替動作と上記第2の切替動作の双方の切替動作を行うように、上記複数の行ブロックの論理アドレスに基づいて、上記複数の行ブロックの各々に対し独立に、上記第1の切替動作を行うか、または、上記第2の切替動作を行うか、または、上記第1の切替動作と上記第2の切替動作の双方の切替動作を行うか、または、上記第1の切替動作および上記第2の切替動作のいずれも行わないように構成される。

【0059】

好ましくは、上記シフト冗長ヒューズ回路部からの出力結果は、上記論理アドレスに基づいて生成される。

【0060】

また一方で、本発明の第1のシフト冗長方法においては、外部から供給されるアドレス信号に基づき、複数のメモリセルから特定のメモリセルを選択してデータの書き込みまたは読み出しを行うための複数の選択線を配置し、これらの複数の選択線の中で、一方の端に位置する選択線を少なくとも1本の第1の冗長選択線とし、かつ、他方の端に位置する選択線を少なくとも1本の第2の冗長選択線とし、上記アドレス信号をデコードした複数のデコード信号線を、上記複数の選択線および上記冗長選択線に切替可能に接続し、上記複数の選択線内に欠陥が発生した場合に、上記デコード信号線の少なくとも1本を上記第1の冗長選択線の方にシフトさせる第1の切替動作を行うか、または、上記デコード信号線の少なくとも1本を上記第2の冗長選択線の方にシフトさせる第2の切替動作を行うか、または、上記第1の切替動作と上記第2の切替動作の双方の切替動作を行うようにしている。

【0061】

好ましくは、本発明の第1のシフト冗長方法では、上記複数の選択線内の2本の選択線に欠陥が発生した場合に、上記第1の切替動作と上記第2の切替動作の双方の切替動作を行うようにしている。

【0062】

さらに、好ましくは、本発明の第1のシフト冗長方法では、上記複数の選択線内の1本の選択線に欠陥が発生した場合に、上記第1の切替動作または上記第2の切替動作のいずれか一方の切替動作を行うようにしている。

【0063】

さらに、本発明の第2のシフト冗長方法においては、外部から供給されるアドレス信号に基づき、複数のメモリセルから特定のメモリセルを選択してデータの書き込みまたは読み出しを行うための複数の選択線を配置し、これらの複数の選択線の中で、一方の端に位置する選択線を少なくとも1本の第1の冗長選択線とし、かつ、他方の端に位置する選択線を少なくとも1本の第2の冗長選択線とし、上記アドレス信号をデコードした複数のデコード信号線を、上記複数の選択線および上記冗長選択線に切替可能に接続し、上記複数の選択線内に欠陥が発生し

た場合に、複数のヒューズを有するシフト冗長ヒューズ回路部内で、上記欠陥が発生した欠陥選択線に対応するヒューズ、および、上記冗長選択線に対応する冗長選択用ヒューズを切断し、上記シフト冗長ヒューズ回路部からの出力結果に応じて、上記デコード信号線の少なくとも1本を上記第1の冗長選択線の方にシフトさせる第1の切替動作を行うか、または、上記デコード信号線の少なくとも1本を上記第2の冗長選択線の方にシフトさせる第2の切替動作を行うか、または、上記第1の切替動作と上記第2の切替動作の双方の切替動作を行うようにしている。

【0064】

さらに、本発明の第3のシフト冗長方法においては、外部から供給されるアドレス信号に基づき、複数のメモリセルから特定のメモリセルを選択してデータの書き込みまたは読み出しを行うための複数の選択線を配置し、これらの複数の選択線の中で、一方の端に位置する選択線を少なくとも1本の第1の冗長選択線とし、かつ、他方の端に位置する選択線を少なくとも1本の第2の冗長選択線とし、上記アドレス信号をデコードした複数のデコード信号線を、上記複数の選択線および上記冗長選択線に切替可能に接続し、上記複数の選択線内に欠陥が発生した場合に、上記欠陥が発生した欠陥選択線に対応するヒューズのアドレスを指定してヒューズデコード信号を生成し、このヒューズデコード信号に応じて、上記デコード信号線の少なくとも1本を上記第1の冗長選択線の方にシフトさせる第1の切替動作を行うか、または、上記デコード信号線の少なくとも1本を上記第2の冗長選択線の方にシフトさせる第2の切替動作を行うか、または、上記第1の切替動作と上記第2の切替動作の双方の切替動作を行うようにしている。

【0065】

さらに、本発明の第4のシフト冗長方法においては、外部から供給されるアドレス信号に基づき、複数のセルアレイの各々に設けられる複数のメモリセルから特定のメモリセルを選択してデータの書き込みまたは読み出しを行うための複数の選択線を配置し、これらの複数の選択線の中で、一方の端に位置する選択線を少なくとも1本の第1の冗長選択線とし、かつ、他方の端に位置する選択線を少なくとも1本の第2の冗長選択線とし、上記アドレス信号をデコードした複数の

デコード信号線を、上記複数の選択線および上記冗長選択線に切替可能に接続し、隣接するセルアレイに対し、複数のヒューズを有するシフト冗長回路部を共有させ、上記複数の選択線内に欠陥が発生した場合に、上記複数のヒューズの組み合わせに基づき、上記欠陥が発生した欠陥選択線に対応するヒューズのアドレスを指定してヒューズデコード信号を生成し、上記の隣接するセルアレイのいずれか一方またはその両方に対し、上記ヒューズデコード回路からのヒューズデコード信号に応じて、上記デコード信号線の少なくとも1本を上記第1の冗長選択線の方にシフトさせる第1の切替動作を行うか、または、上記デコード信号線の少なくとも1本を上記第2の冗長選択線の方にシフトさせる第2の切替動作を行うか、または、上記第1の切替動作と上記第2の切替動作の双方の切替動作を行うようにしている。

【0066】

さらに、本発明の第5のシフト冗長方法においては、外部から供給されるアドレス信号に基づき、複数のメモリセルブロックの各々を構成する複数のメモリセルから特定のメモリセルを選択してデータの書き込みまたは読み出しを行うための複数の列選択線を配置し、これらの複数のメモリセルブロックの各々は、複数の行ブロックに分割され、上記複数の列選択線の中で、一方の端に位置する列選択線を少なくとも1本の第1の冗長選択線とし、かつ、他方の端に位置する列選択線を少なくとも1本の第2の冗長選択線とし、上記アドレス信号をデコードした複数のデコード信号線を、上記複数の列選択線および上記冗長選択線に切替可能に接続し、上記複数の列選択線内に欠陥が発生した場合に、複数のヒューズを有するシフト冗長ヒューズ回路部内で、上記複数のヒューズの組み合わせに基づき、上記欠陥が発生した欠陥選択線に対応するヒューズのアドレスを指定してヒューズデコード信号を生成し、上記複数の行ブロックの論理アドレスに基づいて、上記複数の行ブロックの各々に対し独立に、上記デコード信号線の少なくとも1本を上記第1の冗長選択線の方にシフトさせる第1の切替動作を行うか、または、上記デコード信号線の少なくとも1本を上記第2の冗長選択線の方にシフトさせる第2の切替動作を行うか、または、上記第1の切替動作と上記第2の切替動作の双方の切替動作を行うか、または、上記第1の切替動作および上記第

2の切替動作のいずれも行わないようにしている。

【0067】

さらに、本発明の第6のシフト冗長方法においては、外部から供給されるアドレス信号に基づき、複数のメモリセルブロックの各々を構成する複数のメモリセルから特定のメモリセルを選択してデータの書き込みまたは読み出しを行うための複数の列選択線を配置し、上記複数のメモリセルブロックの各々は、複数の行ブロックに分割され、上記複数の列選択線の中で、一方の端に位置する列選択線を少なくとも1本の第1の冗長選択線とし、かつ、他方の端に位置する列選択線を少なくとも1本の第2の冗長選択線とし、上記アドレス信号をデコードした複数のデコード信号線を、上記複数の選択線および上記冗長選択線に切替可能に接続し、上記複数の列選択線内に欠陥が発生した場合に、複数のヒューズを有するシフト冗長ヒューズ回路部内で、上記欠陥が発生した欠陥選択線に対応するヒューズ、および、上記冗長選択線に対応する冗長選択用ヒューズを切断し、上記複数の行ブロックの論理アドレスに基づいて、上記複数の行ブロックの各々に対し独立に、上記デコード信号線の少なくとも1本を上記第1の冗長選択線の方にシフトさせる第1の切替動作を行うか、または、上記デコード信号線の少なくとも1本を上記第2の冗長選択線の方にシフトさせる第2の切替動作を行うか、または、上記第1の切替動作と上記第2の切替動作の双方の切替動作を行うか、または、上記第1の切替動作および上記第2の切替動作のいずれも行わないようにしている。

【0068】

つぎに、図2の模式図により、本発明の2ビットのシフト冗長動作の概略を説明する。図2において、c1j0およびc1j1は、シフト冗長動作時に使用される冗長選択用選択線（例えば、冗長選択用カラム選択線）を示し、c10～c163は、通常動作時に使用される通常選択用の選択線（例えば、カラム選択線）を示す。これらの選択線は、スイッチ部2内の複数のスイッチ素子を介して半導体チップの外部より与えられるアドレス信号をデコードしたデコード信号線d0～d63と接続している。シフト冗長処理前または選択線等に欠陥が存在しない場合、c10とd0、c11とd1、…c162とd62、c163とd63

が接続されるように、スイッチ素子によって制御される。選択線 $c1\#$ とデコード信号線 $d\#$ ($\# : 0 \sim 63$) が接続されるような場合を NS (Non-Shift : シフトなし) とよぶ。

【0069】

図2の模式図は、2本の選択線 $c12$ 、 $c157$ に欠陥が存在し、かつ、これらの欠陥に対しシフト冗長を行う場合を説明するためのものである。デコード信号線 $d0$ 、 $d1$ および $d2$ は、冗長選択線 $c1j0$ 、選択線 $c10$ 、および選択線 $c11$ にそれぞれ接続される (SL (Shift Left) : 左方向シフト)。選択線 $c12$ 、 $c157$ は、どのデコード信号線にも接続されず、常に非選択状態となる。選択線 $c13 \sim c156$ は、 NS の状態になっており、選択線、 $c158 \sim c163$ 、および冗長選択線 $c1j1$ は、デコード信号線 $d57 \sim d63$ にそれぞれ接続される (SR (Shift Right : 右方向シフト)。

【0070】

さらに、図3および図4により、2ビットのシフト冗長機能を備えた本発明のシフト冗長用スイッチ回路の基本概念を説明する。図3において、 $fj0$ 、 $fj1$ 、および $f0 \sim f63$ はシフト冗長ヒューズ回路部4内の各々のヒューズ回路を示す。通常選択用のヒューズ回路 $f0 \sim f63$ は、ヒューズを切断した場合に低電圧レベル (“L” レベル) を出力し、切断しない場合には高電圧レベル (“H” レベル) を出力する。また一方で、冗長選択用ヒューズ回路 $fj0$ 、 $fj1$ は、それとは逆に、ヒューズを切断した場合に “H” レベルを出力し、切断しない場合には “L” レベルを出力する。この場合、1ビットのシフト冗長に対し、欠陥選択線に対応するヒューズ回路のヒューズと、冗長選択線に対応する冗長選択用ヒューズ回路のヒューズの2本が切断される。各ヒューズ回路のヒューズと、複数の選択線の各々は、同一ピッチ (例えば、 $3, 2\mu m$) にて半導体チップ上に配置され、一対一に対応している。

【0071】

シフト冗長制御回路部3は、これらのヒューズ回路の出力結果を受けてスイッチ部2の各々のスイッチ素子を制御する回路であり、各々のヒューズ回路に接続されたシフト制御回路は、 $NAND$ ゲート3-1、3-3およびインバータ3-

2、3-4が図3のように接続された回路により構成されている。この場合、NANDゲート3-1、3-3の代わりに、NORゲートを使用することもできる（詳細は後述する）。ここでは、シフト冗長制御回路部3内の複数のシフト制御回路は、一方の入力信号 u_{in} と一方の出力信号 u_{out} 、および、他方の入力信号 l_{in} と他方の出力信号 l_{out} を接続することによって図3のように直列接続されている。上記のシフト冗長制御回路部3の中で、一方の端に位置するシフト制御回路および他方の端に位置するシフト制御回路の入力信号 u_{in} 、 l_{in} は、それぞれ高電圧側の電源に接続されており、“H”レベルの電圧が入力される。

【0072】

スイッチ部2内の各々のスイッチ素子の切替動作は、シフト冗長制御回路部3から出力される出力信号 u_{out} 、 l_{out} の“H”レベルおよび“L”レベルの組み合わせにより制御される。ヒューズを切断しない場合（図4の（a）のデフォルトの状態を参照）、出力信号 u_{out} 、 l_{out} の出力レベルは全て“L”レベルになる。さらに、このとき、シフト冗長ヒューズ回路4において、冗長選択線以外の選択線に対応するヒューズ回路の出力は“H”レベルになり、冗長選択線に対応するヒューズ回路の出力は“L”レベルになる。この場合は、シフト冗長動作はない（すなわち、シフトなしNS）と判断する。

【0073】

ここで、例えば、ヒューズ f_1 と冗長選択用ヒューズ f_{j0} を切断した場合（すなわち、選択線 c_{l1} に欠陥が存在し、冗長用選択線 c_{lj0} を使用する場合）、図4の（b）の1ビットのシフト冗長による選択線の状態から明らかなように、デコード信号線 d_0 、 d_1 は、冗長用選択線 c_{lj0} および選択線 c_{l0} にそれぞれ接続される（すなわち、左方向シフトSL）。それ以外は、シフトなしNSとなる。このとき、シフト冗長制御回路部3においてヒューズ f_0 および冗長選択用ヒューズ f_{j0} からの信号が入力される位置の出力信号 u_{out} のみ“H”レベルになっており、それ以外の位置の出力信号は全て“L”レベルになるため、出力信号 u_{out} = “H”で出力信号 l_{out} = “L”の状態を左方向シフトSLと判定する。さらに、このとき、シフト冗長ヒューズ回路4において、

選択線 $c10$ に対応するヒューズ回路（ヒューズ $f0$ ）の出力は“H”レベルのままであるが、冗長選択線 $c1j0$ に対応するヒューズ回路（切断した冗長選択用ヒューズ $fj0$ ）の出力は“L”レベルになる。

【0074】

さらに、シフト冗長制御回路部 3 は、欠陥が存在する選択線 $c11$ に対しては、いずれのデコード信号線も接続されない非選択状態になるように、スイッチ部 1 内の対応するスイッチ素子の切替制御を行う。このとき、シフト冗長制御回路部 3 において、選択線 $c11$ に対応するヒューズ $f1$ からの信号が入力される位置の出力信号 $uout$ は“L”レベルで出力信号 $lout$ は“L”になっている。さらに、このとき、シフト冗長ヒューズ回路 4 において、欠陥が存在する選択線 $c11$ に対応するヒューズ回路（切断したヒューズ $f1$ ）の出力は“L”レベルになる。

【0075】

同様にして、冗長選択用ヒューズ回路 $fj0$ 、 $fj1$ のヒューズと、通常選択用のヒューズ回路 $f1$ 、 $f61$ のヒューズを切断した場合、デコード信号線 $d0$ 、 $d1$ は、冗長選択線 $c1j0$ 、および選択線 $c10$ にそれぞれ接続され（左方向シフト SL ）、デコード信号線 $d2 \sim d60$ は、選択線 $c12 \sim c160$ にそれぞれ接続され（シフトなし NS ）、デコード信号線 $d61$ 、 $d62$ および $d63$ は、それぞれ選択線 $c162$ 、 $c163$ 、および冗長選択線 $c1j1$ にそれぞれ接続される（右方向シフト SR ）。このときの出力信号 $uout$ 、 $lout$ は、図 4 の（c）の 2 ビットのシフト冗長による選択線の状態から明らかなように、出力信号 $uout = \text{“L”}$ で出力信号 $lout = \text{“H”}$ の状態を右方向シフト SR と判定すればよいことがわかる。さらに、このとき、シフト冗長ヒューズ回路 4 において、選択線 $c10$ 、 $c162$ および $c163$ にそれぞれ対応するヒューズ回路の出力は“H”レベルのままであるが、冗長選択線 $c1j0$ 、 $c1j1$ にそれぞれ対応するヒューズ回路（切断した冗長選択用ヒューズ $fj0$ 、 $c1j1$ ）の出力は“L”レベルになる。

【0076】

さらに、シフト冗長制御回路部 3 は、欠陥が存在する選択線 $c11$ 、 $c161$

に対しては、いずれのデコード信号線も接続されない非選択状態になるように、スイッチ部 1 内の対応するスイッチ素子の切替制御を行う。このとき、シフト冗長制御回路部 3 において、選択線 c11、c161 にそれぞれ対応するヒューズ f1、f61 からの信号が入力される位置の出力信号 uout は“L”レベルで出力信号 lout = “L”になっている。さらに、このとき、シフト冗長ヒューズ回路 4 において、欠陥が存在する選択線 c11、c161 にそれぞれ対応するヒューズ回路（切断したヒューズ f1、f61）の出力は、いずれも“L”レベルになる。

【0077】

要約すれば、本発明によれば、選択線同士のショート等が存在して 2 本以上の欠陥選択線が生じた場合に、一方の冗長選択線の方、および他方の冗長選択線の方にデコード信号線をシフトさせることにより、2 ビットのシフト冗長を行って欠陥選択線を救済することが可能になる。また一方で、1 本の欠陥選択線が生じた場合には、従来のシフト冗長方式と同じように、2 本の冗長選択線のいずれか一方の方にデコード信号線をシフトさせることにより、1 ビットのシフト冗長を行って欠陥選択線を救済することも可能である。

【0078】

さらに、本発明によれば、半導体チップ内で隣接する 2 つのセルアレイに対し通常選択用のヒューズ回路および強制冗長用ヒューズ回路を共有させ、それぞれのセルアレイに対応するように冗長選択用ヒューズ回路を独立に設けることにより、隣接する 2 つのセルアレイの選択線の総数に対し 2 ビットまたは 1 ビットのシフト冗長を行うことが可能になる

さらにまた、本発明によれば、複数の行ブロックにわたって配置されたカラム選択線に対しシフト冗長を行う場合に、シフト冗長の対象となる列選択線のアドレスに対し行ブロックのアドレスの論理を組み込むことによって、複数の行ブロックにわたって駆動されるカラム選択線が、それぞれの行ブロックに対応する行ブロックのアドレスの論理を受けることになり、行ブロック単位での冗長を行うことが可能になる。

【0079】

かくして、本発明では、1ビットのシフト冗長、および2ビットのシフト冗長のいずれも行えるので、低消費電力および高速アクセスを実現すると共に、半導体チップ上の欠陥を効率良く救済することが可能になる。さらに、隣接する2つのセルアレイに対し通常選択用のヒューズ回路および強制冗長用ヒューズ回路を共有させたり、行ブロックのアドレスの論理を組み込んで行ブロック単位での冗長を行ったりすることによって、冗長の自由度を比較的大きくすることが可能になる。

【0080】

【発明の実施の形態】

以下、添付図面（図5～図93）を参照しながら、本発明の好ましい実施の形態（以後、実施例とよぶこととする）を説明する。

【0081】

図5は、本発明の第1の実施例における選択線駆動回路の構成を示す回路図である。この選択線駆動回路は、図1のスイッチ部2内の各々のスイッチ素子に対応する回路要素を含むものであり、選択線の負荷が大きくなった場合に当該選択線を駆動して所定の出力電圧を供給する機能も有する。

【0082】

図5において、 s_{cu} には、シフト冗長制御回路部の各々のシフト制御回路における出力信号 u_{out} が入力され、 s_{cl} には、上記の各々のシフト制御回路における出力信号 l_{out} が入力される。 cfs は、ヒューズ回路の出力信号を表し（図8にて後述するヒューズ回路の出力信号 cfs_z と一対一に対応する）、 p_{cll} 、 p_{clm} および p_{clr} は、それぞれ、デコード信号線 $d(\#-1)$ 、 $d\#$ 、および $d(\#+1)$ からのデコード信号に相当する。 $clz000$ は任意の1本の選択線（例えば、カラム選択線）を示し、 V_{clz} は、高電圧側の電源の電源電圧 V_{ii} （内部電圧）に等しい。 V_{ss} は低電圧側の電源の電源電圧、すなわち、アース電位を示す。

【0083】

図5に示す選択線駆動回路は、ヒューズ回路の出力信号 cfs をインバータ10により反転した信号、シフト制御回路の一方の出力信号 u_{out} 、およびシフ

ト制御回路の他方の出力信号 $lout$ を 3 つの入力信号とする NOR ゲート（否定論理和ゲート）11 と、3 つのインバータ 12、14 および 16 と、3 つのトランスファゲート 13、15 および 17 からなる 3 方向性のスイッチ素子と、P チャネル型トランジスタ 18 と、P チャネル型トランジスタおよび N チャネル型トランジスタからなる出力ドライバ（もしくは、選択線駆動回路部）19 とを備えている。

【0084】

さらに詳しく説明すると、シフト制御回路の出力信号 $uout$ および $lout$ が共に “L” レベルで、ヒューズ回路の出力信号 $cf s$ が “H” レベルである場合、シフト冗長動作を行わないモードが選択されて第 2 番目のトランスファゲート 15 がオン状態になる。シフト制御回路の出力信号 $uout$ および $lout$ がそれぞれ “H” レベルおよび “L” レベルで、ヒューズ回路の出力信号 $cf s$ が “H” レベルである場合、一方の方向へのシフト冗長動作を行うモードが選択されて第 1 番目のトランスファゲート 13 がオン状態になる。シフト制御回路の出力信号 $uout$ および $lout$ がそれぞれ “L” レベルおよび “H” レベルで、ヒューズ回路の出力信号 $cf s$ が “H” レベルである場合、他方の方向へのシフト冗長動作を行うモードが選択されて第 3 番目のトランスファゲート 17 がオン状態になる。

【0085】

ここでは、デコード信号 $pcll$ 、 $pclm$ および $pclr$ がそれぞれ転送されるデコード信号線 $d(\#-1)$ 、 $d\#$ 、および $d(\#+1)$ から選択線 clz 000 までのパスが、半導体チップのアクセス時間に影響するが、シフト冗長動作に関係した回路素子は一段のトランスファゲート 13、15 および 17 のみなので、高速アクセス性に優れていることがわかる。

【0086】

また一方で、シフト制御回路の出力信号 $uout$ および $lout$ が共に “L” レベルで、ヒューズ回路の出力信号 $cf s$ が “L” レベルである場合、3 個のトランスファゲート 13、15 および 17 のいずれもオフ状態になる。このときに、P チャネル型トランジスタ 18 がオン状態になって “H” レベルの電圧が出力

ドライバ 19 に入力される。この出力ドライバ 19 はインバータの構成になっているので、同出力ドライバ 19 の出力電圧は“L”レベルになる。すなわち、この出力ドライバ 19 に接続された選択線が欠陥選択線である場合、この欠陥選択線を常に非選択状態にすることができる。

【0087】

図 6 は、本発明の第 1 の実施例におけるシフト制御回路の構成を示す回路図である。図 6 のシフト制御回路は、図 1 のシフト冗長制御回路部 3 内の各々のシフト制御回路に対応するものである。

【0088】

図 6 において、u o u t はシフト冗長制御回路部の各々のシフト制御回路における一方の出力信号を示し、l o u t は上記の各々のシフト制御回路における他方の出力信号を示す。c f s はヒューズ回路の出力信号を示し、図 8 にて後述するヒューズ回路の出力信号 c f s z と一対一に対応している。上記のシフト制御回路は、各々のヒューズ回路の出力結果を受けて各々のスイッチ素子を制御する回路であり、NAND ゲート 30、32、およびインバータ 31、33 が図 6 のように接続された回路により構成されている。一方の入力信号 u i n と一方の出力信号 u o u t、および、他方の入力信号 l i n と他方の出力信号 l o u t を接続することによって、図 3 に示したような複数のシフト制御回路の直列接続によるシフト冗長制御回路部が構成される。

【0089】

図 7 は、本発明の第 1 の実施例におけるデコーダ回路の構成を示す回路図である。図 7 のデコーダ回路は、デコード信号 p c l 0 0 0 z ~ p c l 0 0 7 z (すなわち、図 2 中の d # に対応) を出力するデコーダ回路である。図中、c a a # z、c a b # z および c a c # z は選択アドレスのプリデコード信号 (すなわち、図 1 中のアドレス信号 A d d に対応) を示す。

【0090】

第 1 のプリデコード信号 c a a 0 z ~ c a a 7 z は、P チャネル型トランジスタおよび N チャネル型トランジスタからなるインバータ 64 ~ 67 およびインバータ 50 ~ 53 にそれぞれ供給される。N チャネル型トランジスタ 62 のゲート

に入力される第2のプリデコード信号 $c a b 0 z$ は、Pチャネル型トランジスタ 68、70、72および74、ならびに54、56、58および60のゲートにそれぞれ供給される。Nチャネル型トランジスタ63のゲートに入力される第3のプリデコード信号は、Pチャネル型トランジスタ69、71、73および75、ならびに55、57、59および61のゲートにそれぞれ供給される。

【0091】

図8は、本発明の第1の実施例における通常選択用のヒューズ回路の構成を示す回路図である。図8の通常選択用のヒューズ回路（ただし、強制冗長時に冗長される選択線用のヒューズ回路は除く）は、図1のシフト冗長ヒューズ回路部4内の選択線 $c 1 0$ 、 $c 1 2 \sim c 1 6 1$ 、および $c 1 6 3$ に使用されるヒューズ回路に対応するものである。

【0092】

図8において、 $s t t x$ は、例えば、電源投入時、電源が立ち上がるまでは“H”レベルであり、電源が立ち上がった後は“L”レベルになる制御信号で、 $c f s z$ はヒューズ回路の出力信号である。図8に示すヒューズ回路は、制御信号 $s t t x$ が入力されるPチャネル型トランジスタ41およびNチャネル型トランジスタ42と、Nチャネル型トランジスタ44と、2つのインバータ43、45とを備えている。ヒューズ40が切断されていない場合、電源が立ち上がった後は、ヒューズ回路の出力信号 $c f s z$ は“H”レベルになる。ヒューズ40が切断されている場合、ヒューズ回路の出力信号 $c f s z$ は“L”レベルになる。

【0093】

図9は、本発明の第1の実施例における冗長選択用ヒューズ回路の構成を示す回路図である。図9の冗長選択用ヒューズ回路は、図1のシフト冗長ヒューズ回路部4内の冗長選択線 $c 1 j 0$ 、 $c 1 j 1$ に使用される冗長選択用ヒューズ回路に対応するものである。

【0094】

図9において、 $f t p z$ は、強制冗長を行う際に“H”レベルになる制御信号である。図9に示す冗長選択用ヒューズ回路は、制御信号 $s t t x$ が入力されるPチャネル型トランジスタ41rおよびNチャネル型トランジスタ43rと、制

御信号 $f t p z$ が入力される P チャンネル型トランジスタ 42 r および N チャンネル型トランジスタ 44 r と、N チャンネル型トランジスタ 45 r と、インバータ 46 r とを備えている。ヒューズ 40 r が切断されておらず、かつ、強制冗長を行わない場合（制御信号 $f t p z = "L"$ ）場合、冗長選択用ヒューズ回路の出力信号 $c f s j z$ は "L" レベルになる。また一方で、ヒューズ 40 r を実際に切断した場合、冗長選択用ヒューズ回路の出力信号 $c f s j z$ は "H" レベルになる。

【0095】

さらに、図 9 において、ヒューズ 40 r が切断されておらず、かつ、強制冗長を行った場合（制御信号 $f t p z = "H"$ ）、P チャンネル型トランジスタ 42 r がオフ状態になり、N チャンネル型トランジスタ 44 r がオン状態になってノード $n 0 3$ が "L" レベルになる。この結果、冗長選択用ヒューズ回路の出力信号 $c f s j z$ は "H" レベルになる。この場合は、ヒューズ 40 r が見かけ上切断された状態になり、後述の図 10 の強制冗長選択用ヒューズ回路と共に強制冗長を行うことによって、冗長選択線に不良がないか否かを確認することができる。

【0096】

図 8 の通常選択用のヒューズ回路、および図 9 の冗長選択用ヒューズ回路のいずれにおいても、冗長の対象とする選択線に対応するヒューズ回路のヒューズと、冗長選択線に対応する冗長選択用ヒューズ回路のヒューズとを切断している。

【0097】

図 10 は、本発明の第 1 の実施例における強制冗長選択用ヒューズ回路の構成を示す回路図である。本回路は、図 1 のシフト冗長ヒューズ回路部 4 内の強制冗長選択線 $c 1 1$ 、 $c 1 6 2$ に使用される強制冗長用ヒューズ回路に対応するものである。

【0098】

図 10 において、 $f t p z$ は、前述したように、強制冗長を行う際に "H" レベルになる制御信号である。図 10 に示す強制冗長用ヒューズ回路は、制御信号 $s t t x$ が入力される P チャンネル型トランジスタ 41 f および N チャンネル型トランジスタ 43 f と、制御信号 $f t p z$ が入力される P チャンネル型トランジスタ 4

2 f および N チャンネル型トランジスタ 4 4 f と、N チャンネル型トランジスタ 4 5 f と、2 つのインバータ 4 6 f、4 7 f とを備えている。強制冗長時のヒューズ 4 0 f を切断したように見せかけた場合、強制冗長ヒューズ回路の出力信号 c f s j z は“L”レベルになる。この状態で、シフト冗長の対象とする選択線に対応するヒューズを切断する前に、冗長選択線に不良がないか否かを確認することが可能である。

【0099】

さらに詳しく説明すると、強制冗長を行う場合には、P チャンネル型トランジスタ 4 2 f および N チャンネル型トランジスタ 4 4 f の各々のゲートに対し、“H”レベルの制御信号 f t p z を入力する。このようにすれば、P チャンネル型トランジスタ 4 2 f がオフ状態になり、N チャンネル型トランジスタ 4 4 f がオン状態になってインバータ 4 6 f の入力レベルが“L”レベルになる。この結果、インバータ 4 7 f の出力レベルが“L”レベルになり、“L”レベルの出力信号 c f s j z が生成されることになる。

【0100】

また一方で、強制冗長を行わない場合には（制御信号 f t p z = “L”）、P チャンネル型トランジスタ 4 2 f がオン状態になり、N チャンネル型トランジスタ 4 4 f がオフ状態になってインバータ 4 6 f の入力レベルが“H”レベルになる。この結果、インバータ 4 7 f の出力レベルが“H”レベルになり、“H”レベルの出力信号 c f s j z が生成されることになる。さらに、ヒューズ 4 0 f を実際に切断した場合、N チャンネル型トランジスタ 4 5 f がオフ状態になってインバータ 4 6 f の入力レベルが“L”レベルになる。この結果、インバータ 4 7 f の出力レベルが“L”レベルになり、“L”レベルの出力信号 c f s j z が生成されることになる。

【0101】

図 1 1 ～図 1 6 は、それぞれ、本発明の第 1 の実施例における各回路間のつながりを示す回路図のその 1 ～その 6 を示すものである。ここでは、前述の図 5 の選択線駆動回路、図 6 のシフト制御回路、図 8 の通常選択用のヒューズ回路、図 9 の冗長選択用ヒューズ回路、および図 1 0 の強制冗長選択用ヒューズ回路から

なる複数の子回路を互いに結線することによって、64本の選択線 $c1z(1) \sim c1z(64)$ 、および2本の冗長選択線 $c1jz(0)$ 、 $c1jz(1)$ を配置してなる半導体記憶装置（親回路）を形成した場合を例示している。

【0102】

図11および図12は、このような親回路の左端部を示し、図13および図14は上記親回路の中央部を示し、図15および図16は、上記親回路の右端部を示している。図11～図16においては、強制冗長選択用ヒューズ回路を含む複数のヒューズ回路（例えば、第1のヒューズ回路60-1～第64のヒューズ回路60-64）が、複数のシフト制御回路（例えば、第1のシフト制御回路70-1～第64のシフト制御回路70-64）にそれぞれ接続されている。さらに、これらの複数のシフト制御回路が、複数の選択線駆動回路（例えば、第1の選択線駆動回路80-1～第64の選択線駆動回路80-64）に接続されている。さらに、図7に示したデコーダ回路のデコード信号線は、複数の選択線駆動回路に接続されており、上記デコーダ回路から出力されるデコード信号 $pc1000z \sim pc1063z$ は、上記複数の選択線駆動回路にそれぞれ入力される（各々の選択線駆動回路にて、デコード信号 $pc1m$ に入力される）。なお、前述したように、複数の選択線駆動回路の各々は、スイッチ部2（図1参照）内の各々のスイッチ素子に対応する回路要素を含むものである。

【0103】

さらに、図11において、左端に位置する冗長選択用ヒューズ回路60r1が、冗長選択用シフト制御回路70r1に接続されており、この冗長選択用シフト制御回路70r1は、冗長選択線駆動回路80r1に接続されている。また一方で、図16において、右端に位置する冗長選択用ヒューズ回路60r2が、冗長選択用シフト制御回路70r2に接続されており、この冗長選択用シフト制御回路70r2は、冗長選択線駆動回路80r2に接続されている。

【0104】

さらに、図11～図16より、強制冗長方式を実行する際に、強制冗長の対象となる強制冗長選択線は、 $c1z(1)$ と $c1z(62)$ であることがわかる。シフト冗長を行う場合、まず冗長選択線に不良がないか否かを試験する必要がある。

る。このときに、強制冗長方式を実行することによって、ヒューズを切断せずに電氣的に冗長選択線を選択することが可能であるが、このような強制冗長方式では、冗長選択線に対してディスターブ試験を行う場合、すなわち、隣を選択線を繰り返し選択したときの影響を試験する場合がある。この場合には、冗長選択線に隣接した選択線を強制冗長の対象にしてしまうと、上記のような試験ができないため、それ以外の選択線を強制冗長の対象にする必要がある。

【0105】

それゆえに、本発明の第1の実施例では、冗長選択線から一つ隣の選択線 $c1z(1)$ および $c1z(62)$ を強制冗長の対象としている。当然のことながら、他の選択線 $c1z(2) \sim c1z(61)$ も可能な対象であるが、図10に示した強制冗長選択用ヒューズ回路は、通常選択線用のヒューズ回路（図8参照）と異なるため、同じくヒューズ回路の構成が若干異なる冗長選択線に近い場所に配置したほうが、回路レイアウト上都合が良い。

【0106】

好ましくは、本発明の第1の実施例では、半導体チップのメモリセルの周期性が変わらないように（すなわち、メモリセルのトポロジが変わらないように）するために、1本の選択線により選択されるメモリセルブロックの周期性をメモリセルの周期性に一致させるようにしている。

【0107】

図17は、本発明の第1の実施例におけるシフト制御回路の回路レイアウトを示す図であり、図18は、本発明の第1の実施例におけるヒューズ回路の回路レイアウトを示す図である。図17および図18は、本発明の第1の実施例のシフト制御回路およびヒューズ回路の回路パターンを半導体チップ上に形成した場合の概略的な回路パターンの一部を拡大したものである。

【0108】

図17および図18の回路パターンにおいては、1層目のNチャネル型トランジスタ用ポリシリコンパターン（ここでは、 $n-CH$ 用ポリシリコンパターンと略記する）200と、1層目のPチャネル型トランジスタ用ポリシリコンパターン（ここでは、 $p-CH$ 用ポリシリコンパターンと略記する）210と、2層目

のポリシリコンパターン 220 と、アルミニウム (A1) 等からなる 1 層目のメタル配線パターン 300 と、同じくアルミニウム等からなる 2 層目のメタル配線パターン 310 とが形成される。1 層目の n-CH 用ポリシリコンパターンを使用して N チャンネル型トランジスタ (n-CH トランジスタ) 230 が形成され、2 層目の p-CH 用ポリシリコンパターンを使用して P チャンネル型トランジスタ (p-CH トランジスタ) 240 が形成される。また一方で、異なる層のパターンの接続は、多数のスルーホール 245 を介して行われる。

【0109】

さらに、図 18 において、複数のカラム選択線を構成するカラム選択線パターンと複数のヒューズ 400 は、同一ピッチで描かれており、かつ、ヒューズとカラム選択線パターンは一対一に対応しているため、シフト冗長の処理がなされている選択線が一目でわかるようになっている。また一方で、シフト制御回路は、ヒューズを切断することによって一度電氣的に状態が決まれば、その状態 (直流レベル) を保持する機能を有しているのみなので、信号処理の高速化は全く要求されない。したがって、図 17 および図 18 の回路パターンでは、2 層目のメタル配線パターン 310 のような抵抗の低いメタル配線を、シフト冗長処理用の制御信号の転送に使用する必要がなくなる。それゆえに、2 層目のメタル配線パターン 310 の下の領域に、シフト冗長処理に使用される他の配線パターンを効率良く配置することができるようになり、半導体チップ上の回路の占有面積の節減が図れる。

【0110】

図 19 は、本発明の第 2 の実施例における選択線駆動回路の構成を示す回路図である。この選択線駆動回路は、図 1 のスイッチ部 2 内の各々のスイッチ素子に対応する回路要素を含むものであり、選択線の負荷が大きくなった場合に当該選択線を駆動して所定の出力電圧を供給する機能も有する。

【0111】

図 19 において、scu、scl には、シフト冗長制御回路部の各々のシフト制御回路 (図 20 にて後述する) における出力信号 uout、lout を反転したレベルの出力信号が入力される。cf sx はヒューズ回路の出力信号を表し、

$pmwl1$ 、 $pmwlm$ および $pmwlr$ は、それぞれ、デコード信号線 d （ $\#-1$ ）、 $d\#$ 、および $d(\#+1)$ からのデコード信号に相当する。 $mw100x$ は任意の1本の選択線（例えば、メインワード選択線）を示し、前述の第1の実施例の場合とは逆に、“L”レベルにて選択状態になる。図19の Vpp は、内部電源の電源電圧の一つ（すなわち、選択線の“H”レベル）を表し、 $Vnw1$ は選択線の“L”レベル用の電源の電源電圧を表す。一般に、電源電圧 Vpp は、正の電圧レベルになっており、電源電圧 $Vnw1$ は、負の電圧レベルになっている。

【0112】

さらに、図19において、 $bwdx$ は選択信号の一部であり、動作時には“L”レベルの信号パルスが印加される。 $bkez$ も選択信号の一部であり、動作時には“H”レベルの信号パルスが印加され、デコード信号のデコード結果をサンプリングするために使用される。 $wbiz$ は、試験時に選択線を無条件に全て選択するための制御信号であり、通常“L”レベルになっている。 $wlrsx$ は選択線のリセット信号であり、選択された選択線を非選択状態にする場合に“H”レベルになる。

【0113】

図19に示す選択線駆動回路は、シフト制御回路の出力信号 scu 、 scl 、およびヒューズ回路の出力信号 $cf sx$ がそれぞれ入力される3つのPチャネル型トランジスタ10a、12aおよび11aと、3つのNチャネル型トランジスタ13a～15aとを備えている。これらのPチャネル型トランジスタ10a、12aおよび11aと、Nチャネル型トランジスタ13a～15aは、3入力のNORゲートを構成する。さらに、図19の選択線駆動回路は、3つのデコード信号 $pmwl1$ 、 $pmwlm$ および $pmwlr$ がそれぞれソース（またはドレイン）に入力される3つのNチャネル型トランジスタ17a、16bおよび16aを備えている。これらのNチャネル型トランジスタ17a、16bおよび16aからなるトランスファゲートは、3方向性のスイッチ素子として機能する。

【0114】

さらに、図19の選択線駆動回路において、選択信号 $bkez$ は、Nチャネル

型トランジスタ18aのゲートに供給され、選択線のリセット信号w1rsxは、Pチャネル型トランジスタ19aおよびNチャネル型トランジスタ22aのゲートに供給される。さらに、上記NORゲートからの出力信号は、Nチャネル型トランジスタ16bのゲートに入力される。さらに、Nチャネル型トランジスタ16bのドレインは、Nチャネル型トランジスタ18aのソースに接続される。さらに、Nチャネル型トランジスタ18aのドレインは、Pチャネル型トランジスタ20aおよびNチャネル型トランジスタ21aの各々のゲートに接続される。上記のPチャネル型トランジスタ19aと、Pチャネル型トランジスタ20aおよびNチャネル型トランジスタ21aと、Nチャネル型トランジスタ22aとは、選択信号bkexおよびリセット信号w1rsxを入力信号とする2入力のNORゲートを構成する。

【0115】

さらに、図19の選択線駆動回路において、上記のPチャネル型トランジスタ20aおよびNチャネル型トランジスタ21aの各々のドレイン（ノードn02）は、Pチャネル型トランジスタ23aおよびNチャネル型トランジスタ24aの各々のゲートに接続される。これらのPチャネル型トランジスタ23aおよびNチャネル型トランジスタ24aは一つのインバータを構成し、このインバータから任意の1本の選択線mw100xへ、“L”レベルまたは“H”レベルの信号が供給される。

【0116】

さらに、図19の選択線駆動回路において、制御信号wbizは、Pチャネル型トランジスタ25aのゲートと、Nチャネル型トランジスタ27aのゲートに入力される。さらに、上記のPチャネル型トランジスタ20aおよびNチャネル型トランジスタ21aの各々のドレイン（ノードn02）は、Pチャネル型トランジスタ26aのゲートと、Nチャネル型トランジスタ28aのゲートに接続される。また一方で、選択信号bwdxは、Nチャネル型トランジスタ27aのソースと、Nチャネル型トランジスタ28aのソースに入力される。上記のPチャネル型トランジスタ25aと、Pチャネル型トランジスタ26aおよびNチャネル型トランジスタ28aと、Nチャネル型トランジスタ27aとは、制御信号w

b i z および選択信号 b w d x を入力信号とする 2 入力の N O R ゲートを構成する。

【0117】

図 19 の選択線駆動回路においても、前述の第 1 の実施例の選択線駆動回路（図 5）の場合と同じように、シフト制御回路の出力信号 s c u および s c l がそれぞれ “H” レベルおよび “L” レベルで、ヒューズ回路の出力信号 c f s x が “L” レベルである場合、一方の方向へのシフト冗長動作を行うモードが選択される。これに対し、シフト制御回路の出力信号 s c u および s c l がそれぞれ “L” レベルおよび “H” レベルで、ヒューズ回路の出力信号 c f s x が “L” レベルである場合、他方の方向へのシフト冗長動作を行うモードが選択される。

【0118】

図 20 は、本発明の第 2 の実施例における通常選択用のシフト制御回路の構成を示す回路図、図 21 は、本発明の第 2 の実施例における左端用冗長シフト制御回路の構成を示す回路図、そして、図 22 は、本発明の第 2 の実施例における右端用冗長シフト制御回路の構成を示す回路図である。換言すれば、図 20 は通常選択用のシフト制御回路、図 21 は左端に位置する冗長選択用シフト制御回路、図 22 は、右端に位置する冗長選択用シフト制御回路を示すものである。

【0119】

図 20 ～図 22 においても、c f s x はヒューズ回路の出力信号を示す。上記のシフト制御回路は、前述の第 1 の実施例（図 6）の場合とほぼ同じ機能を有する。シフト制御回路の入力信号 l i n は左隣りの出力信号 l o u t と接続し、シフト制御回路の他の入力信号 u i n は右隣りの出力信号 u o u t と接続し、左端の入力信号 l i n および右端の入力信号 u i n には、“L”（電圧 V_{nw1} ）レベルが入力される。ただし、ここでは、各々のシフト制御回路は、前述の第 1 の実施例（図 6）の場合と異なり、N O R ゲートとインバータにより構成されている。

【0120】

より詳しくいえば、図 20 の通常選択用のシフト制御回路の入力信号 l i n の側に設けられた N O R ゲートは、2 つの P チャネル型トランジスタ 30 a、31 a と、2 つの N チャネル型トランジスタ 32 a、33 a により構成される。さら

に、出力信号 $lout$ の側に設けられたインバータ 34a は、Pチャネル型トランジスタおよびNチャネル型トランジスタにより構成される。また一方で、図20のシフト制御回路の入力信号 uin の側に設けられたNORゲートは、2つのPチャネル型トランジスタ 38a、39a と、2つのNチャネル型トランジスタ 36a、37a により構成される。さらに、出力信号 $uout$ の側に設けられたインバータ 35a は、Pチャネル型トランジスタおよびNチャネル型トランジスタにより構成される。

【0121】

入力信号 uin の側に設けられたNORゲート内のNチャネル型トランジスタ 36a のドレインから出力される出力信号 scu は、図19の選択線駆動回路の他方の入力信号として使用される。また一方で、入力信号 lin の側に設けられたNORゲート内のNチャネル型トランジスタ 33a のドレインから出力される出力信号 $sc1$ は、図19の選択線駆動回路の一方の入力信号として使用される。これらの出力信号 scu 、 $sc1$ は、前述の第1の実施例の場合（出力信号 $uout$ 、 $lout$ によりスイッチ素子の動作を制御する）と異なり、図19のNチャネル型トランジスタ 17a、16b および 16a からなる3方向性のスイッチ素子の動作を制御するために使用される。

【0122】

図21の左端の冗長選択用シフト制御回路の構成は、図20の通常選択用のシフト制御回路の構成とほぼ同じであるが、出力信号 $uout$ を転送するためのインバータが設けられていない点が異なる。

【0123】

より詳しくいえば、図21の左端の冗長選択用シフト制御回路の入力信号 lin の側に設けられたNORゲートは、2つのPチャネル型トランジスタ 70a、71a と、2つのNチャネル型トランジスタ 72a、73a により構成される。さらに、出力信号 $lout$ の側に設けられたインバータ 74a は、Pチャネル型トランジスタおよびNチャネル型トランジスタにより構成される。また一方で、図21の冗長選択用シフト制御回路の入力信号 uin の側に設けられたNORゲートは、2つのPチャネル型トランジスタ 77a、78a と、2つのNチャネル

型トランジスタ 75a、76a により構成される。

【0124】

図 22 の右端の冗長選択用シフト制御回路の構成は、図 20 の通常選択用のシフト制御回路の構成とほぼ同じであるが、出力信号 *lout* を転送するためのインバータが設けられていない点が異なる。

【0125】

より詳しくいえば、図 22 の左端の冗長選択用シフト制御回路の入力信号 *lin* の側に設けられた NOR ゲートは、2 つの P チャンネル型トランジスタ 80a、81a と、2 つの N チャンネル型トランジスタ 82a、83a により構成される。また一方で、図 22 の冗長選択用シフト制御回路の入力信号 *uin* の側に設けられた NOR ゲートは、2 つの P チャンネル型トランジスタ 85a、86a と、2 つの N チャンネル型トランジスタ 84a、87a により構成される。さらに、出力信号 *uout* の側に設けられたインバータ 88a は、P チャンネル型トランジスタおよび N チャンネル型トランジスタにより構成される。

【0126】

図 23 は、本発明の第 2 の実施例における通常選択用のヒューズ回路の構成を示す回路図、図 24 は、本発明の第 2 の実施例における冗長選択用ヒューズ回路の構成を示す回路図、そして、図 25 は、本発明の第 2 の実施例における強制冗長用ヒューズ回路の構成を示す回路図である。

【0127】

図 23 においては、ヒューズ回路の出力信号 *cf sx* がシフト制御回路の NOR ゲートに入力されているため、ヒューズが切断されていない場合、通常選択用のヒューズ回路は、前述の第 1 の実施例（図 8）の場合と異なり、“L”レベルの信号を出力する。また一方で、ヒューズが切断されている場合、“H”レベルの信号を出力する。

【0128】

図 24 においては、冗長選択用ヒューズ回路は、ヒューズが切断されておらず、かつ、強制冗長を行わない場合、“H”レベルの信号を出力する。さらに、ヒューズが切断されている場合、“L”レベルの信号を出力する。また一方で、強

制冗長を行った場合、冗長選択用ヒューズが見かけ上切断された状態になり、“L”レベルの信号を出力する。

【0129】

図25においては、強制冗長用ヒューズ回路は、ヒューズが切断されておらず、かつ、強制冗長を行わない場合、“L”レベルの信号を出力する。さらに、強制冗長を行った場合、強制冗長用ヒューズが見かけ上切断された状態になり、“H”レベルの信号を出力する。また一方で、強制冗長用ヒューズを実際に切断した場合、“H”レベルの信号を出力する。

【0130】

図23～図25において、sttxb、ftpz bは、その電圧レベルが異なるのみで、前述の第1の実施例(図8)のsttx、ftpz とほぼ同じ機能を有する。

【0131】

より詳しくいえば、図23に示す通常選択用のヒューズ回路は、制御信号sttxbがゲートに入力されるPチャネル型トランジスタ41aおよびNチャネル型トランジスタ42aと、2つのNチャネル型トランジスタ43a、45aと、Pチャネル型トランジスタ44aとを備えている。ヒューズ40aが切断されていない場合、電源が立ち上がった後は、ヒューズ回路の出力信号cf s xは“L”レベルになる。ヒューズ40が切断されている場合、ヒューズ回路の出力信号cf s xは“H”レベルになる。

【0132】

図24に示す冗長選択用ヒューズ回路は、制御信号sttxbがゲートに入力されるPチャネル型トランジスタ51rおよびNチャネル型トランジスタ54rと、制御信号ftpz bがゲートに入力されるPチャネル型トランジスタ52rおよびNチャネル型トランジスタ53rと、2つのNチャネル型トランジスタ55r、57rと、Pチャネル型トランジスタ56rと、インバータ58rとを備えている。ヒューズ50rが切断されておらず、かつ、強制冗長を行わない場合、Nチャネル型トランジスタ55rがオン状態になってヒューズ回路の出力信号cf s xは“H”レベルになる。ヒューズ40rが切断されている場合、Nチャ

ネル型トランジスタ 55r がオフ状態になってヒューズ回路の出力信号 c f s x は“L”レベルになる。また一方で、強制冗長を行った場合、すなわち、制御信号 f t p z b が“H”レベルになっている場合、Nチャネル型トランジスタ 53r がオン状態になってヒューズ回路の出力信号 c f s x は“L”レベルになる。

【0133】

図 25 に示す強制冗長用ヒューズ回路は、制御信号 s t t x b がゲートに入力される Pチャネル型トランジスタ 51f および Nチャネル型トランジスタ 54f と、制御信号 f t p z b がゲートに入力される Pチャネル型トランジスタ 52f および Nチャネル型トランジスタ 53f と、Nチャネル型トランジスタ 55f と、インバータ 56f とを備えている。ヒューズ 50f が切断されておらず、かつ、強制冗長を行わない場合、Pチャネル型トランジスタ 52f がオン状態になって Nチャネル型トランジスタ 55f がオフ状態になり、ヒューズ回路の出力信号 c f s x は“L”レベルになる。さらに、強制冗長を行った場合、すなわち、制御信号 f t p z b が“H”レベルになっている場合、Nチャネル型トランジスタ 53f がオン状態になってヒューズ回路の出力信号 c f s x は“H”レベルになる。この状態で、シフト冗長の対象とする選択線に対応するヒューズを切断する前に、冗長選択線に不良がないか否かを確認することが可能である。また一方で、ヒューズを 50f を実際に切断した場合、Nチャネル型トランジスタ 55f がオン状態になってヒューズ回路の出力信号 c f s x は“H”レベルになる。

【0134】

図 26 は、本発明の第 2 の実施例におけるデコーダ回路の構成を示す回路図である。図 26 のデコーダ回路は、デコード信号 d # (すなわち、デコード信号 p m w l x) を出力するデコーダ回路である。

【0135】

図中、r a a 0 0 z および r a b 0 0 z は、アドレスを表すプリデコード信号を示す。第 1 のプリデコード信号 r a a 0 0 z は、Nチャネル型トランジスタ 90a のゲートに供給される。第 2 のプリデコード信号 r a b 0 0 z は、Nチャネル型トランジスタ 91a のゲートに供給される。

【0136】

図 27 は、図 19 の選択線駆動回路の動作を説明するためのタイミングチャートである。

【0137】

図 27 に示すように、第 1 のプリデコード信号 $r a a 0 0 z$ および第 2 のプリデコード信号 $r a b 0 0 z$ のいずれも “H” レベル、つまり、アドレスで選択されるデコード信号 $p m w l x$ のみが “L” レベルになり、かつ、選択線のリセット信号 $w l r s x$ が “L” レベルであって、選択信号 $b k e z$ が “H” レベルである場合を想定する。ここで、第 1 のプリデコード信号 $r a a 0 0 z$ および第 2 のプリデコード信号 $r a b 0 0 z$ のいずれも “H” レベル、つまり、アドレスで選択されるデコード信号 $p m w l x$ のみが “L” レベルになったときには、デコード信号 $p m w l x$ の信号線に接続された選択線駆動回路（図 19 参照）のノード $n 0 1$ の電圧レベルのみが “L” レベルになる。この状態では、選択線 $m w l 0 0 x$ が選択されて “L” レベルの信号が出力される。

【0138】

また一方で、選択線のリセット信号 $w l r s x$ が “H” レベルになったときに、選択線 $m w l 0 0 x$ が非選択状態になって “H” レベルの信号が出力される。なお、この場合、制御信号 $w b i z$ および選択信号 $b w d x$ は、いずれも “L” レベルになっている。

【0139】

図 28～図 33 は、それぞれ、本発明の第 2 の実施例における各回路間のつながりを示す回路図のその 1～その 6 を示すものである。ここでは、前述の図 19 の選択線駆動回路、図 20～図 22 のシフト制御回路、図 23～図 25 のヒューズ回路、および図 26 のデコーダ回路からなる複数の子回路を互いに結線することによって、64 本の選択線 $m w l (0) \sim m w l (63)$ （例えば、メインワード選択線）、および 2 本の冗長選択線 $m w l j z (0)$ 、 $m w l j z (1)$ を配置してなる半導体記憶装置（親回路）を形成した場合を例示している。

【0140】

図 28 および図 29 は、このような親回路の左端部を図示し、図 30 および図 31 は上記親回路の中央部を示し、図 32 および図 33 は、上記親回路の右端部

を示している。図 28～図 33 においては、複数のデコーダ回路（例えば、第 1 のデコーダ回路 52-1～第 64 のデコーダ回路 52-64）が、複数の選択線駆動回路（例えば、第 1 の選択線駆動回路 82-1～第 64 の選択線駆動回路 82-64）にそれぞれ接続されており、複数のデコーダ回路の各々から出力されるデコード信号 $p m w l x$ は、複数の選択線駆動回路の各々に入力される。

【0141】

さらに、複数のヒューズ回路（例えば、第 1 のヒューズ回路 62-1～第 64 のヒューズ回路 62-64）が、複数のシフト制御回路（例えば、第 1 のシフト制御回路 72-1～第 64 のシフト制御回路 72-64）にそれぞれ接続されている。さらに、これらの複数のシフト制御回路が、複数の選択線駆動回路にそれぞれ接続されている。

【0142】

さらに、図 28 において、左端に位置する冗長選択用ヒューズ回路 62r1 が、冗長選択用シフト制御回路 72r1 に接続されており、この冗長選択用シフト制御回路 72r1 は、冗長選択線駆動回路 82r1 に接続されている。また一方で、図 33 において、右端に位置する冗長選択用ヒューズ回路 62r2 が、冗長選択用シフト制御回路 72r2 に接続されており、この冗長選択用シフト制御回路 72r2 は、冗長選択線駆動回路 82r2 に接続されている。

【0143】

さらに、図 28～図 33 より、強制冗長方式を実行する際に、強制冗長の対象となる強制冗長選択線は、 $m w l (1)$ と $m w l (62)$ であることがわかる。シフト冗長を行う場合、まず冗長選択線に不良がないか否かを試験する必要がある。このときに、強制冗長方式を実行することによって、ヒューズを切断せずに電氣的に冗長選択線を選択することが可能であるが、このような強制冗長方式では、冗長選択線に対してディスタープ試験を行う場合、すなわち、隣を選択線を繰り返し選択したときの影響を試験する場合がある。この場合には、冗長選択線に隣接した選択線を強制冗長の対象にしてしまうと、上記のような試験ができないため、それ以外の選択線を強制冗長の対象にする必要がある。

【0144】

それゆえに、本発明の第2の実施例においても、前述の第1の実施例の場合と同じように、冗長選択線から一つ隣の選択線 $mw1z(1)$ および $mw1(62)$ を強制冗長の対象としている。

【0145】

図34は、本発明の第2の実施例におけるシフト制御回路の回路レイアウトを示す図であり、図35は、本発明の第1の実施例におけるヒューズ回路の回路レイアウトを示す図である。図34および図35は、本発明の第2の実施例のシフト制御回路およびヒューズ回路の回路パターンを半導体チップ上に形成した場合の概略的な回路パターンの一部を拡大したものである。

【0146】

図34および図35の回路パターンにおいては、1層目のNチャネル型トランジスタ用ポリシリコンパターン（ここでは、 $n-CH$ 用ポリシリコンパターンと略記する）250と、1層目のPチャネル型トランジスタ用ポリシリコンパターン（ここでは、 $p-CH$ 用ポリシリコンパターンと略記する）260と、2層目のポリシリコンパターン270と、アルミニウム等からなる1層目のメタル配線パターン350と、同じくアルミニウム等からなる2層目のメタル配線パターン360とが形成される。1層目の $n-CH$ 用ポリシリコンパターンを使用してNチャネル型トランジスタ（ $n-CH$ トランジスタ）280が形成され、2層目の $p-CH$ 用ポリシリコンパターンを使用してPチャネル型トランジスタ（ $p-CH$ トランジスタ）290が形成される。また一方で、異なる層のパターンの接続は、多数のスルーホール295を介して行われる。

【0147】

さらに、図35において、複数のメインワード選択線を構成するメインワード選択線パターンと複数のヒューズ450は、同一ピッチで描かれており、かつ、ヒューズとカラム選択線パターンは一対一に対応しているため、シフト冗長の処理がなされている選択線が一目でわかるようになっている。また一方で、シフト制御回路は、ヒューズを切断することによって一度電氣的に状態が決まれば、その状態を保持する機能を有しているのみなので、信号処理の高速化は全く要求されない。したがって、図34および図35の回路パターンでも、前述の図17お

よび図18の場合と同じように、2層目のメタル配線パターン360のような抵抗の低いメタル配線を、シフト冗長処理用の制御信号の転送に使用する必要がなくなる。それゆえに、2層目のメタル配線パターン360の下の領域に、シフト冗長処理に使用される他の配線パターンを効率良く配置することができるようになる。

【0148】

図36は、本発明の実施例に適用される冗長ブロック検出回路の一構成例を示す回路図である。

【0149】

半導体チップを実装したパッケージについて不良解析を行う際、シフト冗長を行った場所が顕微鏡等により特定できないので、上記のようなシフト冗長処理がなされているブロックを電氣的に検出しなければならない場合がある。このために、図36に示したような冗長ブロック検出回路を使用してシフト冗長処理がなされているブロックを検出する方法が有効である。

【0150】

図36において、teszは冗長ブロック検出のテストを行う際に“H”レベルになる信号であり、blkzは上記テストを行う際の最小単位のブロックの選択信号である。この場合、該当するブロックの選択信号blkzが“H”レベルとなる。本発明の実施例に係るシフト冗長方式では、冗長選択線を使用する場合に上記冗長選択線に対応するヒューズを切断するため、このヒューズを切断した状態を判定基準にすることによって冗長ブロック検出が可能となる。

【0151】

例えば、図36の冗長選択用ヒューズ回路の出力信号cfsjzは、対応するヒューズを切断すると“H”レベルの信号を出力する（図9参照）。この出力信号cfsjzは、Nチャネル型トランジスタ102を介して半導体チップ内に供給される。上記の出力信号を図36の“cfsjz”の端子に入力すると、選択されたブロックでシフト冗長処理を行っている場合、トランジスタ103を介して電源に接続されたライン上に転送される信号pjdcxが“L”レベルになり、インバータ104を通して出力されるインバート信号jdczが“H”レベル

になる。例えば、このインバート信号 $jdcz$ を外部に出力したり、出力データ DQ やアドレス信号 Add のピンにリーク電流が流れるようにしたりすること等によって、所望の動作が行われる。

【0152】

図37～図39は、それぞれ、本発明の第3の実施例の全体的な回路構成を示すブロック図のその1～その3を示すものである。

【0153】

前述の第1および第2の実施例では、シフト冗長処理を行うために、複数の選択線に対し一対一対応でヒューズを設ける必要がある。それゆえに、選択線の数が増加するにつれてヒューズの数も増大する。例えば、64本の選択線が配置された半導体記憶装置においては、64本の選択線、および冗長選択線にそれぞれ対応する合計66個のヒューズを半導体チップ上にレイアウトしなければならない。

【0154】

図37～図39の第3の実施例では、上記の点を考慮し、複数のヒューズの組み合わせにより生成される信号をデコードすることによって必要なヒューズ数を節減するようにしている。例えば、64本の選択線にそれぞれ対応するヒューズデコード信号を生成する場合、6本 ($2^6 = 64$) のヒューズを組み合わせることによって64通りのヒューズデコード信号が生成されるので、2本の冗長選択用ヒューズを含めても14本のヒューズを用意すればよいことになる。この場合も、前に示した例と同様に、強制冗長用ヒューズを生成するための回路（すなわち、強制冗長用ヒューズ回路500-2、500-8）を設けている。これらの強制冗長用ヒューズ回路は、冗長選択線に欠陥があるか否かを、ヒューズを切らないで確認するための機能を有する。

【0155】

さらに詳しく説明すると、上記の第3の実施例では、それぞれヒューズを有する10個のヒューズ回路500-3～500-7、および500-9～500-13と、2個の冗長選択用ヒューズ回路500-1、500-14と、2個の強制冗長用ヒューズ回路500-2、500-8とを設けている。さらに、一方の

冗長選択用ヒューズ回路500-1から出力される信号jfs0x、一方の強制冗長用ヒューズ回路500-2から出力される信号fs00x、およびヒューズ回路500-3～500-7から出力される信号fs01x～fs05xをもとに、相補形式のヒューズ信号cfa00x/cfa00z、cfa01x/cfa01z、cfb00x/cfb00z、cfb01x/cfb01z、cfc00x/cfc00z、およびcfc01x/cfc01zを生成するヒューズ信号生成回路510-1～510-6を設けている。

【0156】

さらに、上記の第3の実施例では、ヒューズ信号生成回路510-1～510-6の出力側に、ヒューズプリデコーダ回路520-1～520-12を設けている。これらのヒューズプリデコーダ回路は、ヒューズ信号生成回路により生成された相補形式のヒューズ信号を適当に組み合わせることにより、12種のヒューズプリデコード信号faa00x～faa03x、fab00x～fab03x、およびfac00x～fac03xを出力するものである。

【0157】

さらに、上記の第3の実施例では、他方の強制冗長用ヒューズ回路500-8から出力される信号fs15x、ヒューズ回路500-9～500-13から出力される信号fs10x～fs14x、および他方の冗長選択用ヒューズ回路500-14から出力される信号jfs1xをもとに、相補形式のヒューズ信号cfa10x/cfa10z、cfa11x/cfa11z、cfb10x/cfb10z、cfb11x/cfb11z、cfc10x/cfc10z、およびcfc11x/cfc11zを生成するヒューズ信号生成回路510-7～510-12を設けている。

【0158】

さらに、上記の第3の実施例では、ヒューズ信号生成回路510-7～510-12の出力側に、ヒューズプリデコーダ回路520-13～520-24を設けている。これらのヒューズプリデコーダ回路は、ヒューズ信号生成回路により生成された相補形式のヒューズ信号を適当に組み合わせることにより、別の12種のヒューズプリデコード信号faa10x～faa13x、fab10x～f

a b 1 3 x、および f a c 1 0 x ~ f a c 1 3 x を出力するものである。

【0159】

さらに、上記の第3の実施例では、第1のグループのヒューズプリデコード回路 520-1 ~ 520-12 から出力される 12 種のヒューズプリデコード信号と、第2のグループのヒューズプリデコード回路 520-13 ~ 520-24 から出力される 12 種のヒューズプリデコード信号とを組み合わせることにより、選択線の総数に対応する 64 通りのヒューズデコード信号 f a 0 0 x ~ f a 6 3 x を生成するヒューズデコード回路 530-1 ~ 530-m (m は 2 以上の任意の正の整数、ここでは、m = 64) を設けている。これらのヒューズデコード回路により生成されたヒューズデコード信号 f a 0 0 x ~ f a 6 3 x は、前述の第1および第2の実施例とほぼ同じ構成のシフト制御回路 540-2 ~ 540-m + 1 に入力され、必要に応じてシフト冗長が行われる。なお、冗長選択用ヒューズ回路 500-1、500-14 の出力信号 f a j 0 x、f a j 1 x は、それぞれ、冗長選択用のシフト制御回路 540-1、540-m + 2 にそのまま入力される。

【0160】

図40は、本発明の第3の実施例における冗長選択用ヒューズ回路の構成を示す回路図、図41は、本発明の第3の実施例における強制冗長用ヒューズ回路の構成を示す回路図、そして、図42は、本発明の第3の実施例における通常選択用のヒューズ回路の構成を示す回路図である。

【0161】

図40 ~ 図42 に示す冗長選択用ヒューズ回路、強制冗長用ヒューズ回路、および通常選択用のヒューズ回路の構成は、前述の第1の実施例の構成 (図8 ~ 図10) とほぼ同じである。

【0162】

図40において、s t t x は、例えば、電源投入時、電源が立ち上がるまでは“H”レベルであり、電源が立ち上がった後は“L”レベルになる制御信号である。f t p z は、強制冗長を行う際に“H”レベルになる制御信号である。図40に示す冗長選択用ヒューズ回路は、制御信号 s t t x が入力される P チャンネル

型トランジスタ401rおよびNチャネル型トランジスタ403rと、制御信号ftpzが入力されるPチャネル型トランジスタ402rおよびNチャネル型トランジスタ404rと、Nチャネル型トランジスタ405rと、2つのインバータ406r、407rとを備えている。強制冗長処理を行わない場合、ヒューズ回路の出力信号jfsx（図37および図39の出力信号jfs0x、jfs1xに対応する）は“H”レベルになる。強制冗長処理を行った場合（すなわち、ヒューズ400rを切断したように見せかけた場合）、冗長選択用ヒューズ回路の出力信号jfsxは“L”レベルになる。ただし、シフト制御回路に対しては、強制冗長処理を行わない場合に“L”レベルの出力信号fajx（図37および図39の出力信号faj0x、faj1xに対応する）が供給される。

【0163】

図41において、ftpzは、前述したように、強制冗長を行う際に“H”レベルになる制御信号である。図41に示す強制冗長用ヒューズ回路は、制御信号sttxが入力されるPチャネル型トランジスタ401fおよびNチャネル型トランジスタ403fと、制御信号ftpzが入力されるPチャネル型トランジスタ402fおよびNチャネル型トランジスタ404fと、Nチャネル型トランジスタ405fと、2つのインバータ406f、407fとを備えている。ここでは、ヒューズ400fを強制冗長の対象とし、このヒューズ400fを切断したように見せかけた場合、強制冗長用ヒューズ回路の出力信号fsx（図37および図38の出力信号fs00x、fs15xに対応する）は“L”レベルになる。この状態で、冗長選択線に不良がないか否かを確認することが可能である。

【0164】

図42に示すヒューズ回路は、制御信号sttxが入力されるPチャネル型トランジスタ41bおよびNチャネル型トランジスタ42bと、Nチャネル型トランジスタ43bと、2つのインバータ44b、45bとを備えている。電源が立ち上がって制御信号sttxが“L”レベルになった場合、ヒューズ40bが切断されていないときは、Nチャネル型トランジスタ43bがオフ状態になってヒューズ回路の出力信号fsx（fs#x）は“H”レベルになる。ヒューズ40bを切断したときは、Nチャネル型トランジスタ43bがオン状態になってヒューズ

ーズ回路の出力信号 $f s x$ は “L” レベルになる。

【0165】

図43は、本発明の第3の実施例におけるヒューズ信号生成回路の構成を示す回路図である。図43に示すヒューズ信号生成回路は、インバータ512と、2つのNORゲート511、513により構成される。このヒューズ信号生成回路においては、通常選択用のヒューズ回路の出力信号 $f s \# x$ と、冗長選択用ヒューズ回路の出力信号 $j f s x$ に基づき、相補形式のヒューズ信号 $c f a \# x / c f a \# z$ が生成される。

【0166】

図44は、本発明の第3の実施例におけるヒューズプリデコーダ回路の構成を示す回路図である。図44に示すヒューズプリデコーダ回路は、NANDゲート521により構成される。このNANDゲート521では、それぞれ異なるヒューズ信号生成回路により生成された2つのヒューズ信号（例えば、ヒューズ信号 $c f a 0 0 x$ 、 $c f a 0 1 x$ ）を入力することにより、複数種のヒューズプリデコード信号（ $f a a \# x$ 、 $f a b \# x$ または $f a c \# x$ ）を生成するようにしている。

【0167】

図45は、本発明の第3の実施例におけるヒューズデコーダ回路の構成を示す回路図である。図45に示すヒューズデコーダ回路は、3つのNORゲート531、532および533により構成される。このヒューズデコーダ回路では、異なるヒューズプリデコーダ回路により生成されたヒューズプリデコード信号を適当に組み合わせることにより、アドレスを指定するためのヒューズデコード信号（例えば、 $f a \# x$ ）を生成するようにしている。

【0168】

上記の第3の実施例によれば、半導体記憶装置の複数の選択線に対してシフト冗長を行う場合に必要なヒューズの数を大幅に節減することができるようになり、半導体チップの面積の節減が図れる。

【0169】

図46は、選択線に欠陥がない場合における図42のヒューズ回路のシミュレ

ーション動作を示す電圧波形図、図 4 7 は、選択線に欠陥がない場合における図 4 4 のヒューズプリデコーダ回路のシミュレーション動作を示す電圧波形図、図 4 8 は、2 シフト冗長（2 ビットのシフト冗長動作）を実行した場合における図 4 2 のヒューズ回路のシミュレーション動作を示す電圧波形図、そして、図 4 9 は、2 シフト冗長を実行した場合における図 4 4 のヒューズプリデコーダ回路のシミュレーション動作を示す電圧波形図である。

【0170】

図 4 6 に示すように、複数の選択線に欠陥が存在しない場合（デフォルトの状態になっている場合）、全ての通常選択用のヒューズ回路の出力信号 $f s 0 0 x \sim f s 1 5 x$ が“H”レベルになると共に、両端に位置する冗長選択用ヒューズ回路の出力信号が“H”レベルになって、全ての出力信号が“H”レベルになる。

【0171】

図 4 6 から明らかなように、複数の選択線に欠陥が存在しない場合、全ての選択線が選択される状態になる。この場合の出力信号 $f s 0 0 x \sim f s 1 5 x$ は、2 つの冗長選択用ヒューズ回路の出力信号 $j f s 0 x$ 、 $j f s 1 x$ と共に、“H”レベルになっている。また一方で、図 4 7 から明らかなように、ヒューズプリデコーダ回路の出力信号 $f a 1 8 x$ 、 $f a 1 9 x$ 、…および $f s 4 3 x$ は、全て“H”レベルになっている。また、複数の選択線に欠陥が存在しない場合、図 4 7 から明らかなように、2 つの冗長選択用ヒューズ回路からそれぞれ出力される冗長選択用の信号 $f a j 0 x$ 、 $f a j 1 x$ は、“L”レベルになっている。

【0172】

また一方で、2 本以上の選択線に欠陥が発生した場合、図 4 8 に示すように、これらの欠陥が発生したアドレスに対応するヒューズ回路の出力信号が、確実に“L”レベルになることがわかる。さらに、図 4 9 に示すように、ヒューズプリデコーダ回路の出力信号 $f a 1 8 x$ 、 $f a 1 9 x$ 、…および $f s 4 3 x$ の中で、上記欠陥が発生したアドレスに対応する出力信号が、確実に“L”レベルになることがわかる。

【0173】

ついで、本発明のシフト冗長方式を半導体チップに適用した場合に、前述の第1～第3の実施例よりも冗長の自由度を大きくするための具体的な手法、およびこのような手法を用いて構成される第4～第6の実施例について説明する。

【0174】

図50は、本発明のシフト冗長方式の半導体装置が適用される半導体チップの概略的構成を示す図、図51は、各々のセルアレイに対し独立にヒューズ回路、強制冗長用ヒューズ回路および冗長選択用ヒューズ回路を設ける場合の図50のA部の構成を拡大して示す図、そして、図52は、メモリセルブロック内の複数の行ブロックに対し一様にカラム選択線のシフト冗長を行う場合の図50のB部の構成を拡大して示す図である。

【0175】

図50に示す半導体チップ6は、4つのバンク（列方向の2列のバンク#0、#1、および、列方向の2列のバンク#2、#3）により構成される。それぞれのバンクは半分に分割され（以下、半バンクと称する）、チップ短辺側の両側8箇所配置される。一つのバンク（例えば、バンク#0）内の一対の半バンクには、複数のメモリセルを含むセルアレイNo. 0（参照番号6-0により示す）およびセルアレイNo. 1（参照番号6-1により示す）がそれぞれ設けられている。これらのセルアレイNo. 0およびセルアレイNo. 1の両端部には、複数のデコーダ信号線が配置された列デコーダNo. 0（参照番号7-0により示す）および列デコーダ7-1（参照番号7-1により示す）がそれぞれ設けられている。さらに、一対の半バンクの中央部には、メインワードデコーダ7-2が設けられている。

【0176】

前述の第3の実施例等に係る半導体記憶装置においては、図51（図50のA部を拡大した図）に示すように、一対の半バンクの一方に配置されたロー選択線 $r_0 \sim r_{63}$ に対応して、セルアレイNo. 0側の通常選択用のヒューズ回路（単に、ヒューズ回路と略記することもある）および強制冗長用ヒューズ回路8-0が設けられている。さらに、冗長選択線 r_{j0} 、 r_{j1} に対応して、セルアレイNo. 0側の冗長選択用ヒューズ回路8-j-0が設けられている。また一方で

、一対の半バンクの他方に配置されたロー選択線 $r_0 \sim r_{63}$ に対応して、セルアレイ No. 1 側の通常選択用のヒューズ回路（単に、ヒューズ回路と略記することもある）および強制冗長用ヒューズ回路 8-1 が設けられている。さらに、冗長選択線 r_{j0} 、 r_{j1} に対応して、セルアレイ No. 1 側の冗長選択用ヒューズ回路 8j-1 が設けられている。換言すれば、図 5 1 に示すようなシフト冗長方式の半導体記憶装置においては、半導体チップ内の一つ一つのセルアレイに対応して、独立に通常選択用のヒューズ回路、強制冗長用ヒューズ回路および冗長選択用ヒューズ回路を用意していた。

【0177】

したがって、図 5 1 に示すような半導体記憶装置では、一つのセルアレイの選択線（ここでは、ロー選択線）の総数に対して 2 ビットまたは 1 ビットのシフト冗長を行うのみであった。より具体的にいえば、図 5 1 のシフト冗長方式の半導体記憶装置では、一つのセルアレイの 64 本の選択線に対してしか冗長の自由度を確保することができないので、冗長選択用ヒューズ回路内の冗長選択用ヒューズに対する自由度が制限される。

【0178】

また一方で、図 5 0 に示す半導体チップ 6 の各々の半バンク内で、複数のメモリセルを含むメモリセルブロックが、複数の行ブロック（図 5 2 では、4 つの行ブロック）に分割されている場合を想定する。前述の第 1 ～第 3 の実施例等に係る半導体記憶装置においては、図 5 2（図 5 0 の B 部を拡大した図）に示すように、各々の半バンク内の 4 つの行ブロックにわたって配置されたカラム選択線（図 5 2 では、選択線 $c_{10} \sim c_{163}$ により表す）のシフト冗長を行う場合に、列デコーダ（例えば、列デコーダ No. 1）の入力アドレス CA#のみを使用していた。この場合には、複数の行ブロックにわたって駆動されるカラム選択線のシフト冗長を行うか否かが、全ての行ブロックに対し一様に決まってしまうことになる。

【0179】

このため、図 5 2 のケース 1 のように、カラム選択線による冗長を行わないケースでは、スイッチ部 2（ここでは、簡単のために、第 2 の行ブロック 6r-1

および第3の行ブロック6r-2のスイッチ部2-1、2-2のみを示す)内のスイッチ素子が切替動作を行わず、全ての行ブロック6r-0~6r-3について冗長が行われなくなることになる。また一方で、ケース2のように、カラム選択線による2ビットのシフト冗長を行うケースでは、全ての行ブロックについて同じカラム選択線に対するシフト冗長が行われることになる。このため、行ブロック単位での冗長を行うことができず、冗長の自由度が制限される。

【0180】

図53は、隣接するセルアレイに対しヒューズ回路および強制冗長用ヒューズ回路を共有させる場合の図50のA部の構成を拡大して示す図である。図53に示すシフト冗長方式は、図51に基づいて説明したような「一つのセルアレイに対してしか冗長の自由度を確保することができないために、冗長の自由度が制限される」という不都合な事態を解消するために考え出されたものである。

【0181】

図53においては、隣接する2つのセルアレイ(セルアレイNo. 0およびセルアレイNo. 1)に対し共有のヒューズ回路および強制冗長用ヒューズ回路8cを設けることにより、通常選択用のヒューズ回路および強制冗長用ヒューズ回路を共有させるようにしている。また一方で、隣接する2つのセルアレイに対し、それぞれ独立に冗長選択線用ヒューズ回路(ここでは、セルアレイNo. 0側の冗長選択用ヒューズ回路8j-0と、セルアレイNo. 1側の冗長選択用ヒューズ回路8j-1)を設けるようにしている。このような構成によって、隣接する2つのセルアレイの選択線の総数128本に対し2ビットまたは1ビットのシフト冗長を行うことが可能になり、図51のシフト冗長方式に比べて冗長選択線用ヒューズに対する自由度を大きくすることができる。なお、この場合、上記の隣接する2つのセルアレイのいずれか一方の選択線に対し2ビットまたは1ビットのシフト冗長を行うことも可能である。

【0182】

図54は、メモリセルブロック内の各々の行ブロック単位でカラム選択線のシフト冗長を行う場合の図50のB部の構成を拡大して示す図である。図54に示すシフト冗長方式は、図52に基づいて説明したような「行ブロック単位での冗

長を行うことができず、冗長の自由度が制限される」という不都合な事態を解消するために考え出されたものである。

【0183】

図54においては、カラム選択線のシフト冗長を行う場合に、列デコーダ（例えば、列デコーダNo. 1）の入力アドレスCA#と、行ブロックのアドレスRA0, RA1の論理とを組み合わせることにより、複数の行ブロック6r-0～6r-3にわたって駆動されるカラム選択線は、それぞれの行ブロックに対応する行ブロックのアドレスの論理を受けることにより行ブロック単位での冗長を行うことが可能になる。

【0184】

より具体的にいえば、図54のケース1のように、第2の行ブロック6r-1が選択されたときは、行ブロックのアドレスRA0, RA1のアドレスの論理により行ブロック6r-1のみでスイッチ部2-1内のスイッチ素子の切替動作を行わせることによって1ビットのシフト冗長を実行することが可能になる。また一方で、ケース2のように、第3の行ブロック6r-2が選択されたときは、行ブロックのアドレスRA0, RA1の論理により行ブロック6r-2のみでスイッチ部2-2内のスイッチ素子の切替動作を行わせることによって2ビットのシフト冗長を実行することが可能になる。このような構成によって、複数の行ブロックの各々に対し独立に、2ビットのシフト冗長を行うか、または、1ビットのシフト冗長を行うか、または、シフト冗長を行わないようにすることが可能になり、図52のシフト冗長方式に比べて冗長の自由度を大きくすることができる。

【0185】

図55～図60は、それぞれ、本発明の第4の実施例の全体的な回路構成を示すブロック図のその1～その6を示すものである。

【0186】

図55～図60に示す第4の実施例は、前述の第3の実施例に示したような「複数のヒューズの組み合わせにより、欠陥選択線に対応するヒューズのアドレスを指定してヒューズデコード信号を生成する構成」に、図52の「隣接する2つのセルアレイに対し通常選択用のヒューズ回路および強制冗長用ヒューズ回路を

共有させ、上記セルアレイの各々に対し独立に冗長選択線用ヒューズ回路を設ける構成」を適用することにより、冗長の自由度を比較的大きくするようにしたものである。

【0187】

上記の第4の実施例の特徴的な点は、隣接する2つのセルアレイNo. 0、No. 1に対し、図59～図62に示す通常選択用のヒューズ回路601-3～601-7、および601-9～601-13と、強制冗長用ヒューズ回路601-2、601-8を共有させ、上記の2つのセルアレイに対し、それぞれ独立に冗長選択線用ヒューズ回路を設ける構成になっていることである。さらに、隣接する2つのセルアレイNo. 0、No. 1に対し、ヒューズ信号生成回路を共有させる構成にもなっている。上記のヒューズ回路、強制冗長用ヒューズ回路およびヒューズ信号生成回路以外の主たる構成要素、例えば、ヒューズプリデコード回路、ヒューズデコード回路およびシフト制御回路は、前述の第3の実施例と同様に、各々のセルアレイに対し独立に設けている。

【0188】

さらに、上記の第4の実施例においても、前述の第3の実施例と同じように、複数のヒューズの組み合わせにより生成される信号をデコードすることによって必要なヒューズの数进行減するようにしている。例えば、64本の選択線にそれぞれ対応するヒューズデコード信号を生成する場合、6本($2^6 = 64$)のヒューズを組み合わせることによって64通りのヒューズデコード信号が生成されるので、2本の冗長選択用ヒューズを含めて14本のヒューズを用意すればよい。この場合、強制冗長用ヒューズを生成するための回路(すなわち、強制冗長用ヒューズ回路601-2、601-8)は、冗長選択線に欠陥があるか否かを、ヒューズを実際に切らないで確認するための機能を有している。

【0189】

さらに詳しく説明すると、上記の第4の実施例では、隣接するセルアレイNo. 0およびセルアレイNo. 1に対し、通常選択用のヒューズをそれぞれ有する10個のヒューズ回路601-3～601-7、および601-9～600-13と、2個の強制冗長用ヒューズ回路601-2、601-8とを設けている。

さらに、隣接するセルアレイの一方のセルアレイNo. 0に対し、2個の冗長選択用ヒューズ回路601-1、601-14を設けると共に、他方のセルアレイNo. 1に対し、2個の冗長選択用ヒューズ回路602-1、602-14を設けている。

【0190】

さらに、上記の第4の実施例では、セルアレイNo. 0側の一方の冗長選択用ヒューズ回路601-1から出力される信号j r f s r 0 xのレベルを反転して増幅する冗長選択用ヒューズ信号増幅回路610-1と、同セルアレイ側の他方の冗長選択用ヒューズ回路601-14から出力される信号j r f s r 1 xのレベルを反転して増幅する冗長選択用ヒューズ信号増幅回路610-14とを設けている。また一方で、セルアレイNo. 1側の一方の冗長選択用ヒューズ回路602-1から出力される信号j r f s 1 0 xのレベルを反転して増幅する冗長選択用ヒューズ信号増幅回路611-1と、同セルアレイ側の他方の冗長選択用ヒューズ回路602-14から出力される信号j r f s 1 1 xのレベルを反転して増幅する冗長選択用ヒューズ信号増幅回路611-14とを設けている。

【0191】

さらに、上記の第4の実施例では、セルアレイNo. 0側およびセルアレイNo. 1側に対し共有の一方の強制冗長用ヒューズ回路601-2から出力される信号r f s 0 0 x、およびヒューズ回路601-3～601-7から出力される信号r f s 0 1 x～r f s 0 5 xをもとに、相補形式のヒューズ信号r f a 0 0 x/r f a 0 0 z、r f a 0 1 x/r f a 0 1 z、r f b 0 0 x/r f b 0 0 z、r f b 0 1 x/r f b 0 1 z、r f c 0 0 x/r f c 0 0 z、およびr f c 0 1 x/r f c 0 1 zを生成するヒューズ信号生成回路610-2～610-7を設けている。

【0192】

さらに、上記の第4の実施例では、ヒューズ信号生成回路610-2～610-7の出力側であってセルアレイNo. 0側に、ヒューズプリデコーダ回路620-1～620-12を設けている。これらのヒューズプリデコーダ回路は、ヒューズ信号生成回路により生成された相補形式のヒューズ信号を適当に組み合わせ

せることにより、セルアレイNo. 0用の12種のヒューズプリデコード信号 $rfaa000x \sim rfaa003x$ 、 $rfab000x \sim rfab003x$ 、および $rfac000x \sim rfac003x$ を出力するものである。また一方で、ヒューズ信号生成回路610-2～610-7の出力側であってセルアレイNo. 1側に、ヒューズプリデコード回路621-1～621-12を設けている。これらのヒューズプリデコード回路は、ヒューズ信号生成回路により生成された相補形式のヒューズ信号を適当に組み合わせることにより、セルアレイNo. 1用の12種のヒューズプリデコード信号 $rfaa100x \sim rfaa103x$ 、 $rfab100x \sim rfab103x$ 、および $rfac100x \sim rfac103x$ を出力するものである。

【0193】

さらに、上記の第4の実施例では、セルアレイNo. 0側およびセルアレイNo. 1側に対し共有の他方の強制冗長用ヒューズ回路601-8から出力される信号 $rfs15x$ 、およびヒューズ回路601-9～601-13から出力される信号 $rfs14x \sim rfs10x$ をもとに、相補形式のヒューズ信号 $rfc11x/rfc11z$ 、 $rfc10x/rfc10z$ 、 $rfb11x/rfb11z$ 、 $rfb10x/cfb10z$ 、 $rfa11x/rfa11z$ 、および $rfa10x/rfa10z$ を生成するヒューズ信号生成回路610-8～610-13を設けている。

【0194】

さらに、上記の第4の実施例では、ヒューズ信号生成回路610-8～610-13の出力側であってセルアレイNo. 0側に、ヒューズプリデコード回路620-13～620-24を設けている。これらのヒューズプリデコード回路は、ヒューズ信号生成回路により生成された相補形式のヒューズ信号を適当に組み合わせることにより、セルアレイNo. 0用の別の12種のヒューズプリデコード信号 $rfac010x \sim rfac013x$ 、 $rfab010x \sim rfab013x$ 、および $rfaa010x \sim rfaa013x$ を出力するものである。また一方で、ヒューズ信号生成回路610-8～610-13の出力側であってセルアレイNo. 1側に、ヒューズプリデコード回路621-13～621-24を設

けている。これらのヒューズプリデコード回路は、ヒューズ信号生成回路により生成された相補形式のヒューズ信号を適当に組み合わせることにより、セルアレイNo. 1用の別の12種のヒューズプリデコード信号 $rfaa110x \sim rfaa113x$ 、 $rfab110x \sim rfab113x$ 、および $rfac110x \sim rfac113x$ を出力するものである。

【0195】

ここで、セルアレイNo. 0側の一方の冗長選択用ヒューズ回路601-1内のヒューズが切断されているか否かを示す冗長選択用ヒューズ信号 $rfa jr 0x$ が、冗長選択用ヒューズ信号増幅回路610-1からヒューズプリデコード回路620-1～620-4へ供給される。さらに、セルアレイNo. 0側の他方の冗長選択用ヒューズ回路601-14内のヒューズが切断されているか否かを示す冗長選択用ヒューズ信号 $rfa jr 1x$ が、冗長選択用ヒューズ信号増幅回路610-14からヒューズプリデコード回路620-21～620-24へ供給される。また一方で、セルアレイNo. 1側の一方の冗長選択用ヒューズ回路602-1内のヒューズが切断されているか否かを示す冗長選択用ヒューズ信号 $rfa j 10x$ が、冗長選択用ヒューズ信号増幅回路611-1からヒューズプリデコード回路621-1～621-4へ供給される。さらに、セルアレイNo. 1側の他方の冗長選択用ヒューズ回路602-14内のヒューズが切断されているか否かを示す冗長選択用ヒューズ信号 $rfa j 11x$ が、冗長選択用ヒューズ信号増幅回路611-14からヒューズプリデコード回路621-21～621-24へ供給される。

【0196】

さらに、上記の第4の実施例では、セルアレイNo. 0側において、第1のグループのヒューズプリデコード回路620-1～620-12から出力される12種のヒューズプリデコード信号と、第2のグループのヒューズプリデコード回路620-13～620-24から出力される12種のヒューズプリデコード信号とを組み合わせることにより、選択線の総数に対応する64通りのヒューズデコード信号 $rfa 000x \sim rfa 063x$ を生成するヒューズデコード回路630-1～630-m (mは2以上の任意の正の整数、ここでは、 $m=64$) を

設けている。これらのヒューズデコーダ回路により生成されたヒューズデコード信号 $f a 0 0 0 x \sim f a 0 6 3 x$ は、前述の第1～第3の実施例とほぼ同じ構成のシフト制御回路 $6 4 0 - 2 \sim 6 4 0 - m + 1$ に入力され、必要に応じてシフト冗長が行われる。なお、セルアレイ No. 0 側の冗長選択用ヒューズ回路 $6 0 1 - 1$ 、 $6 0 1 - 1 4$ の出力信号 $j r f s r 0 x$ 、 $j r f s r 1 x$ は、それぞれ、冗長選択用ヒューズ信号増幅回路によりレベルを反転された後に、冗長選択用のシフト制御回路 $6 4 0 - 1$ 、 $6 4 0 - m + 2$ に入力される。

【0197】

また一方で、上記の第4の実施例では、セルアレイ No. 1 側において、第1のグループのヒューズプリデコーダ回路 $6 2 1 - 1 \sim 6 2 1 - 1 2$ から出力される12種のヒューズプリデコード信号と、第2のグループのヒューズプリデコーダ回路 $6 2 1 - 1 3 \sim 6 2 1 - 2 4$ から出力される12種のヒューズプリデコード信号とを組み合わせることにより、選択線の総数に対応する64通りのヒューズデコード信号 $r f a 1 0 0 x \sim r f a 1 6 3 x$ を生成するヒューズデコーダ回路 $6 3 1 - 1 \sim 6 3 1 - m$ (m は2以上の任意の正の整数、ここでは、 $m = 6 4$) を設けている。これらのヒューズデコーダ回路により生成されたヒューズデコード信号 $r f a 0 0 0 x \sim r f a 1 6 3 x$ は、前述の第1～第3の実施例とほぼ同じ構成のシフト制御回路 $6 4 1 - 2 \sim 6 4 1 - m + 1$ に入力され、必要に応じてシフト冗長が行われる。なお、セルアレイ No. 1 側の冗長選択用ヒューズ回路 $6 0 2 - 1$ 、 $6 0 2 - 1 4$ の出力信号 $j r f s r 0 x$ 、 $j r f s r 1 x$ は、それぞれ、冗長選択用ヒューズ信号増幅回路によりレベルを反転された後に、冗長選択用のシフト制御回路 $6 4 1 - 1$ 、 $6 4 1 - m + 2$ に入力される。

【0198】

図55～図60に示すような第4の実施例において、隣接する2つのセルアレイの両方にて2ビットのシフト冗長を行いたい場合は、全ての冗長選択用ヒューズ回路のヒューズを切断し、さらに、欠陥が発生した欠陥選択線に対応するように複数のヒューズ回路のヒューズを切断する。すなわち、各々のセルアレイにおいて、切断した冗長選択ヒューズ回路のヒューズと、切断した通常選択用の回路のヒューズとを組み合わせることによりシフト冗長を行うようにしている。

【0199】

さらに、片方のセルアレイのみにて2ビットのシフト冗長を行いたい場合は、上記セルアレイに対応する冗長選択用ヒューズ回路のヒューズを2本とも切断し、もう一方のセルアレイに対応する冗長選択用ヒューズ回路のヒューズを残しておく。さらにまた、片方のセルアレイで1シフトの冗長を行いたい場合は、上記セルアレイに対応するヒューズ回路のヒューズを1本だけ切断する。このようなシフト冗長方式により、2つのセルアレイ分の128本の選択線に対し2ビットまたは1ビットのシフト冗長を行うことが可能になるので、前述の第3の実施例のような64本の選択線に対し2ビットまたは1ビットのシフト冗長を行う場合に比べ、冗長選択用のヒューズに対する冗長の自由度が大きくなる。

【0200】

図61は、本発明の第4の実施例における冗長選択用ヒューズ回路の構成を示す回路図、図62は、本発明の第4の実施例における強制冗長用ヒューズ回路の構成を示す回路図、そして、図63は、本発明の第4の実施例における通常選択用のヒューズ回路の構成を示す回路図である。図61～図63に示すヒューズ回路においては、選択線の“H”レベル用の電源の電源電圧として V_{ii} （内部電圧）が使用され、選択線の“L”レベル用の電源の電源電圧として V_{nw1} が使用される。

【0201】

図61～図63に示す冗長選択用ヒューズ回路、強制冗長用ヒューズ回路および通常選択用のヒューズ回路の構成は、前述の第3の実施例に対し出力信号の論理が反転しているのみで、この第3の実施例の構成と実質的に同じである。

【0202】

図61において、 $sttx$ は、例えば、電源投入時、電源が立ち上がるまでは“H”レベルであり、電源が立ち上がった後は“L”レベルになる制御信号である。 $ftpz$ は、強制冗長を行う際に“H”レベルになる制御信号である。図61に示す冗長選択用ヒューズ回路は、制御信号 $sttx$ が入力されるPチャネル型トランジスタ604rおよびNチャネル型トランジスタ606rと、制御信号 $ftpz$ が入力されるPチャネル型トランジスタ605rおよびNチャネル型ト

ランジスタ 607r と、Nチャネル型トランジスタ 608r と、インバータ 609r とを備えている。ヒューズ 603r を切断していない場合、Nチャネル型トランジスタ 608r がオフ状態になって冗長選択用ヒューズ回路の出力信号 j r f s x (図 58 および図 60 のセルアレイ No. 0 側の出力信号 j r f s r 0 x、j r f s r 1 x、および、セルアレイ No. 1 側の出力信号 j r f s l 0 x および j r f s l 1 x に対応する) は“L”レベルになる。ヒューズ 603r を切断した場合、Nチャネル型トランジスタ 608r がオン状態になって冗長選択用ヒューズ回路の出力信号 j r f s x は“H”レベルになる。ただし、この冗長選択用ヒューズ回路の出力信号 j r f s x のレベルは、後述の図 64 の冗長選択用ヒューズ信号増幅回路により反転された後にシフト制御回路に入力されるので、ヒューズ 603r を切断していない場合に“H”レベルの出力信号がシフト制御回路に供給され、ヒューズ 603r を切断した場合に“L”レベルの出力信号がシフト制御回路に供給されることになる。

【0203】

図 61 において、電源が立ち上がって制御信号 s t t x が“L”レベルになった場合、強制冗長処理を行わないときは、Nチャネル型トランジスタ 608r がオフ状態になって冗長選択用ヒューズ回路の出力信号 j r f s x は“L”レベルになる。強制冗長処理を行ったときは、Nチャネル型トランジスタ 608r がオン状態になって冗長選択用のヒューズ回路の出力信号 j r f s x は“H”レベルになる。すなわち、強制冗長処理を行ったときは、冗長選択用ヒューズ回路のヒューズ 603r を切断したときと同じ結果になる。

【0204】

さらに、図 62 において、f t p z は、前述したように、強制冗長を行う際に“H”レベルになる制御信号である。図 61 に示す強制冗長用ヒューズ回路は、制御信号 s t t x が入力される Pチャネル型トランジスタ 604f および Nチャネル型トランジスタ 606f と、制御信号 f t p z が入力される Pチャネル型トランジスタ 605f および Nチャネル型トランジスタ 607f と、Nチャネル型トランジスタ 608f と、インバータ 609f とを備えている。ここでは、ヒューズ 603f を強制冗長の対象とし、このヒューズ 603f を切断したように見

せかけた場合、強制冗長用ヒューズ回路の出力信号 $rfsx$ (図58および図59の出力信号 $rfs00x$ 、 $rfs15x$ に対応する)は“H”レベルになる。この状態で、冗長選択線に不良がないか否かを確認することが可能である。

【0205】

図63に示すヒューズ回路は、制御信号 $sttx$ が入力されるPチャネル型トランジスタ604およびNチャネル型トランジスタ605と、Nチャネル型トランジスタ606と、インバータ607とを備えている。電源が立ち上がって制御信号 $sttx$ が“L”レベルになった場合、ヒューズ603が切断されていないときは、Nチャネル型トランジスタ606がオフ状態になってヒューズ回路の出力信号 $rfsx$ ($rfs\#x$)は“L”レベルになる。ヒューズ603を切断したときは、Nチャネル型トランジスタ606がオン状態になってヒューズ回路の出力信号 $rfsx$ は“H”レベルになる。

【0206】

図64は、本発明の第4の実施例における冗長選択用ヒューズ信号増幅回路の構成を示す回路図であり、図65は、本発明の第4の実施例におけるヒューズ信号生成回路の構成を示す回路図である。

【0207】

図64に示す冗長選択用ヒューズ信号増幅回路は、インバータ612により構成される。この冗長選択用ヒューズ信号増幅回路においては、シフト制御回路およびヒューズプリデコーダ回路に対し、正しい論理の冗長選択用ヒューズ信号 $rfaqx$ (図55、図57、図58および図60のセルアレイNo. 0側の冗長選択用ヒューズ信号 $rfaqr0x$ 、 $rfaqr1x$ 、および、セルアレイNo. 1側の冗長選択用ヒューズ信号 $rfaql0x$ および $rfaql1x$ に対応する)を供給するするために、冗長選択用ヒューズ回路の出力信号 $jrf sx$ のレベルをインバータ612により反転して増幅するようにしている。

【0208】

また一方で、図65に示すヒューズ信号生成回路は、インバータ613により構成される。このヒューズ信号生成回路においては、通常選択用のヒューズ回路の出力信号 $rfs\#x$ そのもの ($rfa\#x$) と、この出力信号 $rfs\#x$ をイ

ンバータ 613 により反転して得られる信号 (r f a # z) が出力される。すなわち、上記のヒューズ信号生成回路では、相補形式のヒューズ信号 r f a # x / r f a # z が生成される。

【0209】

図 66 は、本発明の第 4 の実施例における第 1 のヒューズプリデコード回路の構成を示す回路図であり、図 67 は、本発明の第 4 の実施例における第 2 のヒューズプリデコード回路の構成を示す回路図である。

【0210】

図 66 に示す第 1 のヒューズプリデコード回路は、NOR ゲート 622 により構成される。この NOR ゲート 622 では、それぞれ異なるヒューズ信号生成回路により生成された 2 つのヒューズ信号 r f a 0 y、r f a 1 y (例えば、ヒューズ信号生成回路 610-2、610-3 から出力されるヒューズ信号 r f a 0 0 x / r f a 0 0 z、r f a 0 1 x / r f a 0 1 z の任意の 2 つに対応する) が入力されると共に、冗長選択用ヒューズ回路内のヒューズが切断されているか否かを示す冗長選択用ヒューズ信号 r f a j x が入力される。さらに、NOR ゲート 622 では、ヒューズ信号 r f a 0 y、r f a 1 y および冗長選択用ヒューズ信号 r f a j x の 3 つの入力信号の否定論理和を演算することにより、ヒューズプリデコード信号 r f a a # x が出力される。

【0211】

ここで、冗長選択用ヒューズ回路内のヒューズが切断されていない場合、前述したように、冗長選択用ヒューズ回路の出力信号 j r f s x のレベルを反転して得られる冗長選択用ヒューズ信号 r f a j x 信号は、“H” レベルになる。したがって、NOR ゲート 622 から出力されるヒューズプリデコード信号 r f a a # x は、2 つのヒューズ信号 r f a 0 y、r f a 1 y のレベルに関係なく “L” レベルになる。この場合は、上記のヒューズプリデコード信号 r f a a # x により、セルアレイ内の当該冗長選択用ヒューズ回路が配置される側ではシフト冗長を行わない旨が伝えられることになる。

【0212】

また一方で、冗長選択用ヒューズ回路内のヒューズを切断した場合、冗長選択

用ヒューズ回路の出力信号 $j r f s x$ のレベルを反転して得られる冗長選択用ヒューズ信号 $r f a j x$ 信号は、“L”レベルになる。したがって、この場合は、セルアレイ内の当該冗長選択用ヒューズ回路が配置される側でシフト冗長が行われることになり、2つのヒューズ信号 $r f a 0 y$ 、 $r f a 1 y$ の組み合わせに基づいて、“H”レベルまたは“L”レベルのヒューズプリデコード信号 $r f a a \# x$ が出力される。

【0213】

図67に示すヒューズプリデコーダ回路は、NORゲート623により構成される。このNORゲート623では、それぞれ異なるヒューズ信号生成回路により生成された2つのヒューズ信号 $r f b 0 y$ 、 $r f b 1 y$ （例えば、ヒューズ信号生成回路610-4、610-4から出力されるヒューズ信号 $r f b 0 0 x / r f b 0 0 z$ 、 $r f b 0 1 x / r f b 0 1 z$ の任意の2つに対応する）または $r f c 0 y$ 、 $r f c 1 y$ を入力することにより、複数種のヒューズプリデコード信号（ $r f a b \# x$ または $r f a c \# x$ ）を生成するようにしている。

【0214】

図68は、本発明の第4の実施例におけるヒューズデコーダ回路の構成を示す回路図である。図68に示すヒューズデコーダ回路は、3つのNANDゲート632、633および634により構成される。このヒューズデコーダ回路では、上記の3つのNANDゲートを用いて、異なるヒューズプリデコーダ回路により生成されたヒューズプリデコード信号（例えば、 $r f a a 0 \# x$ 、 $r f a b 0 \# x$ 、 $r f a c 0 \# x$ 、 $r f a a 1 \# x$ 、 $r f a b 1 \# x$ 、および $r f a c 1 \# x$ ）を適当に組み合わせることにより、欠陥選択線に対応するヒューズのアドレスを指定するためのヒューズデコード信号（例えば、 $r f a \# x$ ）を生成するようにしている。

【0215】

図69は、本発明の第4の実施例におけるシフト制御回路の構成を示す回路図である。図69に示すような各々のシフト制御回路は、前述の第2の実施例の場合と同じように、NORゲートとインバータにより構成されている。

【0216】

図69において、 $rfa\#x$ は、ヒューズデコード回路から供給されるヒューズデコード信号 $rfa000x \sim rfa063x$ の任意の一つを表している。上記のシフト制御回路は、前述の第2の実施例（図20）の場合とほぼ同じ機能を有する。シフト制御回路の入力信号 lin は左隣の出力信号 $lout$ と接続し、シフト制御回路の他の入力信号 uin は右隣の出力信号 $uout$ と接続し、左端の入力信号 lin および右端の入力信号 uin には、“L”（電圧 V_{nw1} ）レベルが入力される。

【0217】

より詳しくいえば、図69の通常選択用のシフト制御回路の入力信号 lin の側には、NORゲート642が設けられており、出力信号 $lout$ の側には、インバータ643が設けられている。また一方で、図69のシフト制御回路の入力信号 uin の側には、NORゲート644が設けられており、出力信号 $uout$ の側には、インバータ645が設けられている。

【0218】

入力信号 uin の側に設けられたNORゲート644から出力される出力信号 scu は、選択線駆動回路（第4の実施例には図示していない：例えば、第2の実施例に係る図19参照）の他方の入力信号として使用される。また一方で、入力信号 lin の側に設けられたNORゲート642から出力される出力信号 $sc1$ は、選択線駆動回路の一方の入力信号として使用される。これらの出力信号 scu 、 $sc1$ は、スイッチ部内の3方向性のスイッチ素子の動作を制御するために使用される。

【0219】

図70～図72は、それぞれ、本発明の第5の実施例の全体的な回路構成を示すブロック図のその1～その3を示すものである。

【0220】

図70～図72に示す第5の実施例は、前述の第3の実施例に示したような「複数のヒューズの組み合わせにより、欠陥選択線に対応するヒューズのアドレスを指定してヒューズデコード信号を生成する構成」に、図54の「複数の行ブロックにわたって配置されたカラム選択線のシフト冗長を行う場合、シフト冗長の

対象となるカラム選択線のアドレスと行ブロックのアドレスの論理とを組み合わせることにより、行ブロック単位での冗長を行うことが可能になる構成」を適用することにより、冗長の自由度を比較的大きくするようにしたものである。

【0221】

上記の第5の実施例の特徴的な点は、複数の行ブロックにわたって配置されたカラム選択線のシフト冗長を行う機能を備えた半導体記憶装置（図52にて説明済み）において、上記複数の行ブロックの各々に対し冗長を行うか否かを決定するためのヒューズを有する冗長行ブロック選択回路770-1～770-4および770-14～770-17と、これらの冗長行ブロック選択回路からの出力に基づき上記複数の行ブロックのアドレスの論理を生成する行アドレス論理回路780-1、780-14とを設ける構成になっていることである。上記の冗長行ブロック選択回路および行アドレス論理回路以外の主たる構成要素、例えば、ヒューズ回路、ヒューズプリデコーダ回路、ヒューズデコーダ回路およびシフト制御回路は、前述の第5の実施例に対し出力信号の論理が反転しているのみで、この第5の実施例の構成と実質的に同じである。

【0222】

さらに、上記の第5の実施例においても、前述の第4の実施例と同じように、複数のヒューズの組み合わせにより生成される信号をデコードすることによって必要なヒューズの数进行減するようにしている。例えば、64本のカラム選択線にそれぞれ対応するヒューズデコード信号を生成する場合、6本のヒューズを組み合わせることによって64通りのヒューズデコード信号が生成されるので、2本の冗長選択用ヒューズを含めて14本のヒューズを用意すればよい。この場合、後述の強制冗長用ヒューズを生成するための回路（すなわち、強制冗長用ヒューズ回路701-2、701-8）は、冗長選択線に欠陥があるか否かを、ヒューズを実際に切らないで確認するための機能を有している。

【0223】

さらに詳しく説明すると、上記の第5の実施例では、通常選択用のヒューズをそれぞれ有する10個のヒューズ回路701-3～701-7、および701-9～701-13と、2個の冗長選択線用のヒューズ回路701-1、701-

14と、2個の強制冗長用ヒューズ回路701-2、701-8とを設けている。さらに、一方の冗長選択用ヒューズ回路701-1から出力される信号j c f s r 0 xのレベルを反転して増幅する冗長選択用ヒューズ信号増幅回路710-1と、他方の冗長選択用ヒューズ回路701-14から出力される信号j c f s r 1 xのレベルを反転して増幅する冗長選択用ヒューズ信号増幅回路710-14とを設けている。

【0224】

さらに、上記の第5の実施例では、一方の強制冗長用ヒューズ回路701-2から出力される信号c f s 0 0 x、およびヒューズ回路701-3～701-7から出力される信号c f s 0 1 x～c f s 0 5 xをもとに、相補形式のヒューズ信号c f a 0 0 x/c f a 0 0 z、c f a 0 1 x/c f a 0 1 z、c f b 0 0 x/c f b 0 0 z、c f b 0 1 x/c f b 0 1 z、c f c 0 0 x/c f c 0 0 z、およびc f c 0 1 x/c f c 0 1 zを生成するヒューズ信号生成回路710-2～710-7を設けている。

【0225】

さらに、上記の第5の実施例では、ヒューズ信号生成回路710-2～710-7の出力側に、ヒューズプリデコーダ回路720-1～720-12を設けている。これらのヒューズプリデコーダ回路は、ヒューズ信号生成回路により生成された相補形式のヒューズ信号を適当に組み合わせることにより、12種のヒューズプリデコード信号c f a a 0 0 0 x～c f a a 0 0 3 x、c f a b 0 0 0 x～c f a b 0 0 3 x、およびc f a c 0 0 0 x～c f a c 0 0 3 xを出力するものである。

【0226】

さらに、上記の第5の実施例では、他方の強制冗長用ヒューズ回路701-8から出力される信号c f s 1 5 x、およびヒューズ回路701-9～701-13から出力される信号c f s 1 4 x～c f s 1 0 xをもとに、相補形式のヒューズ信号c f c 1 1 x/c f c 1 1 z、c f c 1 0 x/c f c 1 0 z、c f b 1 1 x/c f b 1 1 z、c f b 1 0 x/c f b 1 0 z、c f a 1 1 x/c f a 1 1 z、およびc f a 1 0 x/c f a 1 0 zを生成するヒューズ信号生成回路710-

8～710-13を設けている。

【0227】

さらに、上記の第5の実施例では、ヒューズ信号生成回路710-8～710-13の出力側に、ヒューズプリデコード回路730-13～730-24を設けている。これらのヒューズプリデコード回路は、ヒューズ信号生成回路により生成された相補形式のヒューズ信号を適当に組み合わせることにより、別の12種のヒューズプリデコード信号cfac010x～cfac013x、cfab010x～fab013x、およびcfaa010x～cfaa013xを出力するものである。

【0228】

ここで、一方の冗長選択用ヒューズ回路701-1内のヒューズが切断されているか否かを示す冗長選択用ヒューズ信号cfajr0xが、冗長選択用ヒューズ信号増幅回路710-1からヒューズプリデコード回路730-1～730-4へ供給される。さらに、他方の冗長選択用ヒューズ回路701-14内のヒューズが切断されているか否かを示す冗長選択用ヒューズ信号cfajr1xが、冗長選択用ヒューズ信号増幅回路710-14からヒューズプリデコード回路730-21～730-24へ供給される。

【0229】

さらに、上記の第5の実施例では、第1のグループのヒューズプリデコード回路730-1～730-12から出力される12種のヒューズプリデコード信号と、第2のグループのヒューズプリデコード回路730-13～730-24から出力される12種のヒューズプリデコード信号とを組み合わせることにより、カラム選択線の総数に対応する64通りのヒューズデコード信号cf a 0 0 0 x～cf a 0 6 3 xを生成するヒューズデコード回路750-1～750-m (mは2以上の任意の正の整数、ここでは、m=64)を設けている。これらのヒューズデコード回路により生成されたヒューズデコード信号cf a 0 0 0 x～cf a 0 6 3 xは、前述の第1～第4の実施例とほぼ同じ構成のシフト制御回路760-2～760-m+1に入力され、必要に応じてシフト冗長が行われる。なお、2つの冗長選択用ヒューズ回路701-1、701-14の出力信号j c f s

$r0x$ 、 $jcf s r 1 x$ は、それぞれ、冗長選択用ヒューズ信号増幅回路によりレベルを反転された後に、冗長選択用のシフト制御回路760-1、760-m+2に入力される。

【0230】

図70～図72に示すような第5の実施例において、一つのメモリセルブロック内の複数の行ブロックにわたって配置されたカラム選択線に対しシフト冗長を行う場合に、シフト冗長の対象となるカラム選択線のアドレスに対し行ブロックのアドレスRA1、RA2の論理を組み込むことによって、複数の行ブロックにわたって駆動されるカラム選択線が、それぞれの行ブロックに対応する行ブロックのアドレスの論理を受けることになり、行ブロック単位での冗長を行うことが可能になる。

【0231】

図73は、本発明の第5の実施例における冗長選択用ヒューズ回路の構成を示す回路図、図74は、本発明の第5の実施例における強制冗長用ヒューズ回路の構成を示す回路図、そして、図75は、本発明の第5の実施例における通常選択用のヒューズ回路の構成を示す回路図である。図73～図75に示すヒューズ回路においては、選択線の“H”レベル用の電源の電源電圧として V_{ii} （内部電圧）が使用され、選択線の“L”レベル用の電源の電源電圧として、アース電位の V_{ss} が使用される。

【0232】

図73～図75に示す冗長選択用ヒューズ回路、強制冗長用ヒューズ回路および通常選択用のヒューズ回路の構成は、前述の第4の実施例に対し出力信号の論理が反転している点と、2つの冗長選択用ヒューズ回路の各々に冗長イネーブル信号 $sft e z$ （図84にて後述する $sft e$ に対応する）が入力される点を除けば、前述の第4の実施例の構成と実質的に同じである。

【0233】

図73において、 $sttx$ は、例えば、電源投入時、電源が立ち上がるまでは“H”レベルであり、電源が立ち上がった後は“L”レベルになる制御信号である。 $f t p z$ は、強制冗長を行う際に“H”レベルになる制御信号である。図7

3に示す冗長選択用ヒューズ回路は、制御信号 $s t t x$ が入力される P チャンネル型トランジスタ 703r および N チャンネル型トランジスタ 705r と、制御信号 $f t p z$ が入力される P チャンネル型トランジスタ 704r および N チャンネル型トランジスタ 706r と、N チャンネル型トランジスタ 707r と、インバータ 708r と、NAND ゲート 709r とを備えている。ヒューズ 702r を切断していない場合、N チャンネル型トランジスタ 707r がオフ状態になって冗長選択用ヒューズ回路の出力信号 $j c f s x$ (図 70 および図 72 の出力信号 $j c f s r 0 x$ 、 $j c f s r 1 x$ に対応する) は“H”レベルになる。ヒューズ 702r を切断した場合 N チャンネル型トランジスタ 707r がオン状態になり、冗長イネーブル信号 $s f t e$ が“H”レベルになっているときに冗長選択用ヒューズ回路の出力信号 $j c f s x$ は“L”レベルになる。ただし、この冗長選択用ヒューズ回路の出力信号 $j c f s x$ のレベルは、後述の図 76 の冗長選択用ヒューズ信号増幅回路により反転された後にシフト制御回路に入力されるので、ヒューズ 702r を切断していない場合に“L”レベルの出力信号がシフト制御回路に供給され、ヒューズ 702r を切断した場合(ただし、冗長イネーブル信号 $s f t e$ が“H”レベル)に“H”レベルの出力信号がシフト制御回路に供給されることになる。

【0234】

さらに、図 73 において、電源が立ち上がって制御信号 $s t t x$ が“L”レベルになった場合、強制冗長処理を行わないときは、N チャンネル型トランジスタ 707r がオフ状態になって冗長選択用ヒューズ回路の出力信号 $j c f s x$ は“H”レベルになる。強制冗長処理を行ったときは、N チャンネル型トランジスタ 707r がオン状態になってインバータ 708r からの出力信号が“H”レベルになる。ここで、冗長イネーブル信号 $s f t e$ が“H”レベルになっている場合のみ、冗長選択用ヒューズ回路の出力信号 $j c f s x$ は“L”レベルになる。すなわち、冗長イネーブル信号 $s f t e$ が“H”レベルになっているという条件下で強制冗長を行ったときは、冗長選択用ヒューズ回路のヒューズ 702r を切断したときと同じ結果になる。

【0235】

図74において、 $f t p z$ は、前述したように、強制冗長を行う際に“H”レベルになる制御信号である。図74に示す強制冗長用ヒューズ回路は、制御信号 $s t t x$ が入力されるPチャネル型トランジスタ703fおよびNチャネル型トランジスタ705fと、制御信号 $f t p z$ が入力されるPチャネル型トランジスタ704fおよびNチャネル型トランジスタ706fと、Nチャネル型トランジスタ707fと、2つのインバータ708f、709fとを備えている。ここでは、ヒューズ702fを強制冗長の対象とし、このヒューズ702fを切断したように見せかけた場合、強制冗長用ヒューズ回路の出力信号 $c f s x$ （図70および図71の出力信号 $c f s 0 0 x$ 、 $c f s 1 5 x$ に対応する）は“L”レベルになる。この状態で、冗長選択線に不良がないか否かを確認することが可能である。

【0236】

図75に示すヒューズ回路は、制御信号 $s t t x$ が入力されるPチャネル型トランジスタ703およびNチャネル型トランジスタ704と、Nチャネル型トランジスタ705と、2つのインバータ706、707とを備えている。電源が立ち上がって制御信号 $s t t x$ が“L”レベルになった場合、ヒューズ702が切断されていないときは、Nチャネル型トランジスタ705がオフ状態になってヒューズ回路の出力信号 $c f s x$ （ $c f s \# x$ ）は“H”レベルになる。ヒューズ702を切断したときは、Nチャネル型トランジスタ705がオン状態になってヒューズ回路の出力信号 $c f s x$ は“L”レベルになる。

【0237】

図76は、本発明の第5の実施例における冗長選択用ヒューズ信号増幅回路の構成を示す回路図であり、図77は、本発明の第5の実施例におけるヒューズ信号生成回路の構成を示す回路図である。

【0238】

図76に示す冗長選択用ヒューズ信号増幅回路は、インバータ711により構成される。この冗長選択用ヒューズ信号増幅回路においては、シフト制御回路およびヒューズプリデコーダ回路に対し、正しい論理の冗長選択用ヒューズ信号 $c f a j x$ （図70および図72の冗長選択用ヒューズ信号 $c f a j r 0 x$ 、 $c f$

a j r l xに対応する)を供給するするために、冗長選択用ヒューズ回路の出力信号j c f s xのレベルをインバータ711により反転して増幅するようにしている。

【0239】

また一方で、図77に示すヒューズ信号生成回路は、インバータ712により構成される。このヒューズ信号生成回路においては、通常選択用のヒューズ回路の出力信号c f s # xそのもの(c f a # x)と、この出力信号c f s # xをインバータ712により反転して得られる信号(c f a # z)が出力される。すなわち、上記のヒューズ信号生成回路では、相補形式のヒューズ信号c f a # x / c f a # zが生成される。

【0240】

図78は、本発明の第5の実施例における第1のヒューズプリデコード回路の構成を示す回路図であり、図79は、本発明の第5の実施例における第2のヒューズプリデコード回路の構成を示す回路図である。

【0241】

図78に示す第1のヒューズプリデコード回路は、NANDゲート731により構成される。このNANDゲート731では、それぞれ異なるヒューズ信号生成回路により生成された2つのヒューズ信号c f a 0 y、c f a 1 y(例えば、ヒューズ信号生成回路710-2、710-3から出力されるヒューズ信号c f a 0 0 x / c f a 0 0 z、c f a 0 1 x / c f a 0 1 zの任意の2つに対応する)が入力されると共に、冗長選択用ヒューズ回路内のヒューズが切断されているか否かを示す冗長選択用ヒューズ信号c f a j xが入力される。さらに、NANDゲート731では、ヒューズ信号c f a 0 y、c f a 1 yおよび冗長選択用ヒューズ信号c f a j xの3つの入力信号の否定論理積を演算することにより、ヒューズプリデコード信号c f a a # xが出力される。

【0242】

ここで、冗長選択用ヒューズ回路内のヒューズが切断されていない場合、前述したように、冗長選択用ヒューズ回路の出力信号j c f s xのレベルを反転して得られる冗長選択用ヒューズ信号c f a j x信号は、“L”レベルになる。した

がって、NANDゲート622から出力されるヒューズプリデコード信号 $cfaa\#x$ は、2つのヒューズ信号 $cfa0y$ 、 $cfa1y$ のレベルに関係なく“H”レベルになる。この場合は、上記のヒューズプリデコード信号 $cfaa\#x$ により、メモリセルブロック内の当該冗長選択用ヒューズ回路が配置される側ではシフト冗長を行わない旨が伝えられることになる。

【0243】

また一方で、冗長選択用ヒューズ回路内のヒューズを切断した場合、冗長選択用ヒューズ回路の出力信号 $jcf s x$ のレベルを反転して得られる冗長選択用ヒューズ信号 $cfa j x$ 信号は、“H”レベルになる。したがって、この場合は、セルアレイ内の当該冗長選択用ヒューズ回路が配置される側でシフト冗長が行われることになり、2つのヒューズ信号 $cfa0y$ 、 $cfa1y$ の組み合わせに基づいて、“H”レベルまたは“L”レベルのヒューズプリデコード信号 $cfaa\#x$ が出力される。

【0244】

図79に示すヒューズプリデコーダ回路は、NANDゲート732により構成される。このNANDゲート732では、それぞれ異なるヒューズ信号生成回路により生成された2つのヒューズ信号 $cfb0y$ 、 $cfb1y$ （例えば、ヒューズ信号生成回路710-4、710-5から出力されるヒューズ信号 $cfb00x/cfb00z$ 、 $cfb01x/cfb01z$ の任意の2つに対応する）または $cf c 0 y$ 、 $cf c 1 y$ を入力することにより、複数種のヒューズプリデコード信号（ $cfa b \# x$ または $cfa c \# x$ ）を生成するようにしている。

【0245】

図80は、本発明の第5の実施例におけるヒューズデコーダ回路の構成を示す回路図である。図80に示すヒューズデコーダ回路は、3つのNORゲート751、752および753により構成される。このヒューズデコーダ回路では、上記の3つのNORゲートを用いて、異なるヒューズプリデコーダ回路により生成されたヒューズプリデコード信号（例えば、 $cfaa0\#x$ 、 $cfa b 0\#x$ 、 $cfa c 0\#x$ 、 $cfaa1\#x$ 、 $cfa b 1\#x$ 、および $cfa c 1\#x$ ）を適当に組み合わせることにより、欠陥選択線に対応するヒューズのアドレスを指

定するためのヒューズデコード信号（例えば、 $cfa\#x$ ）を生成するようにしている。

【0246】

図81は、本発明の第5の実施例におけるシフト制御回路の構成を示す回路図である。図81に示すような各々のシフト制御回路は、前述の第4の実施例の場合と異なり、NANDゲートとインバータにより構成されている。

【0247】

図81において、 $cfa\#x$ は、ヒューズデコーダ回路から供給されるヒューズデコード信号 $cfa000x \sim cfa063x$ の任意の一つを表している。上記のシフト制御回路は、前述の第1の実施例（図6）の場合とほぼ同じ機能を有する。シフト制御回路の入力信号 lin は左隣の出力信号 $lout$ と接続し、シフト制御回路の他の入力信号 uin は右隣の出力信号 $uout$ と接続し、左端の入力信号 lin および右端の入力信号 uin には、“H”（電圧 V_{ii} ）レベルが入力される。

【0248】

より詳しくいえば、図81の通常選択用のシフト制御回路の入力信号 lin の側には、NANDゲート761が設けられており、出力信号 $lout$ の側には、インバータ762が設けられている。また一方で、図81のシフト制御回路の入力信号 uin の側には、NANDゲート763が設けられており、出力信号 $uout$ の側には、インバータ764が設けられている。

【0249】

インバータ764から出力される出力信号 $uout$ は、選択線駆動回路（第5の実施例には図示していない：例えば、第1の実施例に係る図5参照）の他方の入力信号（図5の信号 scu ）として使用される。また一方で、インバータ762から出力される出力信号 $lout$ は、選択線駆動回路の一方の入力信号（図5の信号 $sc1$ ）として使用される。これらの出力信号 $uout$ 、 $lout$ は、スイッチ部内の3方向性のスイッチ素子の動作を制御するために使用される。

【0250】

ついで、本発明の第5の実施例において特徴的な構成要素である8つの冗長行

ブロック選択回路 770-1~770-4 (図 70) および 770-1~770-4 (図 72) と、2つの行アドレス論理回路 780-1 (図 70)、780-14 (図 72) の具体的な構成例とその動作について説明する。

【0251】

図 82 は、本発明の第 5 の実施例にて各々のメモリセルブロック内に存在する 4 つの行ブロックの状態の一例を示す図、図 83 は、本発明の第 5 の実施例における冗長行ブロック選択回路の構成を示す回路図、図 84 は、本発明の第 5 の実施例における行アドレス論理回路の構成を示す回路図、そして、図 85 は、図 84 の行アドレス論理回路の動作を説明するためのタイミングチャートである。

【0252】

ここでは、図 82 に示すような、各々のメモリセルブロック内に存在する 4 つの行ブロック 6r-0~6r-3 について説明する。行ブロックのアドレス RA0、RA1 の論理がそれぞれ “0” (例えば、“L” レベル)、“0” のときに第 1 の行ブロック 6r-0 が選択され、行ブロックのアドレス RA0、RA1 の論理がそれぞれ “1” (例えば、“H” レベル)、“0” のときに第 2 の行ブロック 6r-1 が選択される。さらに、行ブロックのアドレス RA0、RA1 の論理がそれぞれ “0”、“1” のときに第 3 の行ブロック 6r-2 が選択され、行ブロックのアドレス RA0、RA1 の論理がそれぞれ “1”、“1” のときに第 4 の行ブロック 6r-3 が選択される。

【0253】

図 83 に示す各々の冗長行ブロック選択回路 (770-1~770-4 および 770-14~770-17 のいずれか一つ) は、制御信号 sttx が入力される P チャンネル型トランジスタ 772 および N チャンネル型トランジスタ 773 と、N チャンネル型トランジスタ 774 と、2つのインバータ 775、776 とを備えている。電源が立ち上がって制御信号 sttx が “L” レベルになった場合、ヒューズ 771 が切断されていないときは、N チャンネル型トランジスタ 774 がオフ状態になって出力信号 f0~f3 は “H” レベルになる。ヒューズ 771 を切断したときは、N チャンネル型トランジスタ 774 がオン状態になって出力信号 f0~f3 は “L” レベルになる。

【0254】

図84に示す行アドレス論理回路780-1または780-14は、4つの行ブロックのアドレスRA0、RA1の2種類の論理と、これらのアドレスRA0、RA1の論理をインバータ781、782によりそれぞれ反転した2種類の論理から、2種類の論理を選択して得られる4通りの組み合わせをそれぞれ入力信号とする4つのNORゲート783、785、787および789を備えている。この場合、行ブロックのアドレスRA0、RA1の論理に基づいて選択される行ブロックに対応して、4つのNORゲート783、785、787および789のいずれか一つの出力信号が“H”レベルになる。例えば、行ブロックのアドレスRA0、RA1の論理がそれぞれ“0”、“0”のときには、第1番目のNORゲート783の出力信号のみが“H”レベルになると共に、その他のNORゲートの出力信号は全て“L”レベルになり、第1の行ブロック6R-0が選択される。同様にして、行ブロックのアドレスRA0、RA1の論理に応じて第2番目～第4番目のNORゲートの出力信号が“H”レベルになり、第2～第4の行ブロック6R-1～6R-3が選択される。

【0255】

さらに、これらのNORゲート783、785、787および789の出力側に、4つのNANDゲート784、786、788および790がそれぞれ設けられている。これらのNANDゲート784、786、788および790の各々には、NORゲート783、785、787および789からそれぞれ出力される出力信号の一つと、上記の冗長行ブロック選択回路からの出力信号f0～f3の一つが入力される。さらに、上記のNANDゲート784、786、788および790の出力側に、NANDゲート791が設けられている。選択された行ブロックに対しシフト冗長を行う場合、この行ブロックに対応する冗長行ブロック選択回路内のヒューズを切断しないようにするので、当該冗長行ブロック選択回路の出力信号（f0～f3のいずれか一つ）が“H”レベルになる。このため、当該冗長行ブロック選択回路からの“H”レベルの出力信号と、選択された行ブロックに対応するNANDゲートの“H”レベルの出力信号とを入力信号に持つNORゲートの出力信号が、“L”レベルになる。この“L”レベルの出力

信号は、NANDゲート791を通して、“H”レベルの出力信号として出力される。

【0256】

さらに、上記NANDゲート791の出力側に、選択された行ブロックに対しシフト冗長を行うべきか否かに関するデータを保持するためのデータラッチ部を含む冗長行ブロックデータ保持回路792が設けられている。この冗長行ブロックデータ保持回路792は、NANDゲート791の出力信号のレベルを反転するインバータ794と、サンプリングパルスやNANDゲート791の出力信号やインバータ794の出力信号を入力信号に持つ2つのNANDゲート793、795と、2つのNANDゲート796、797からなるデータラッチ部とを備えている。このデータラッチ部から、選択された行ブロックに対しシフト冗長を行うことを可能にする冗長イネーブル信号s f t eが出力される。

【0257】

まず、図82に示すように、第1の行ブロック6r-0に対してのみシフト冗長を行わず、その他の行ブロックに対してシフト冗長を行う場合には、出力信号f0を出力する冗長行ブロック選択回路内のヒューズを切断して出力信号f0を“L”レベルにする。その他の冗長行ブロック選択回路のヒューズは切断しない（出力信号f1～f3は“H”レベルになる）。

【0258】

つぎに、第1の行ブロック6r-0が選択されると（RA0=“0”、RA1=“0”）、第1番目のNORゲート783の出力信号は“H”レベルになり、第1番目のNANDゲート784の出力信号は“H”レベルになる（ノードn00が“H”レベル）。その他のNORゲートの出力信号は全て“L”レベルになるので、第2番目～第4番目NANDゲートの出力信号は全て“H”レベルになる（ノードn01～n03が“H”レベル）。この結果、NANDゲート791の入力信号が全て“H”であるので、NANDゲート791は“L”レベルの出力信号を出力する（ノードn04が“L”レベル）。ノードn04の“L”レベルの信号は、冗長行ブロックデータ保持回路を通過し、同じ“L”レベルの冗長イネーブル信号s f t eとして出力される。冗長イネーブル信号s f t eが“L

”レベルのときは、冗長選択用ヒューズ回路のヒューズの状態によらず、冗長選択用ヒューズ回路の出力信号は“H”レベルになり、選択された第1の行ブロック $6r-0$ ではシフト冗長を行わない。

【0259】

さらに、第3の行ブロック $6r-2$ が選択されると ($RA0 = "0"$ 、 $RA1 = "1"$)、第3番目のNORゲート787の出力信号が“H”レベルになるので、第3番目のNANDゲート788の出力信号は“L”レベルになる。また一方で、その他のNORゲートの出力信号は全て“L”レベルになるので、第1番目のNANDゲート784、第2番目のNANDゲート786、および第4番目のNANDゲート790の出力信号は全て“H”レベルになる。すなわち、ノード $n02$ が“L”レベルでノード $n00$ 、 $n01$ および $n03$ が“H”レベルなので、NANDゲート791は“H”レベルの出力信号を出力し ($n04$ が“H”レベル)、冗長イネーブル信号 $s f t e$ は“H”レベルになる。冗長イネーブル信号 $s f t e$ が“H”レベルのときは、冗長選択用ヒューズ回路のヒューズの状態に応じて冗長選択線用ヒューズ回路の出力信号のレベルが決まるので、冗長選択用ヒューズ回路のヒューズを切断することにより、選択された第3の行ブロック $6r-2$ に対するシフト冗長を行うことができる。

【0260】

同様にして、第2の行ブロックおよび第3の行ブロックに対しシフト冗長を行わず、第1の行ブロックおよび第4の行ブロックに対しシフト冗長を行うこともできる。この場合は、出力信号 $f1$ 、 $f2$ を出力する冗長行ブロック選択回路のヒューズをそれぞれ切断して出力信号 $f1$ 、 $f2$ を“L”レベルにし、出力信号 $f0$ 、 $f3$ を出力する冗長行ブロック選択回路のヒューズはそれぞれ切断せずに出力信号 $f0$ と $f3$ を“H”レベルにする。

【0261】

ここで、第2の行ブロックまたは第3の行ブロックが選択されたときは、第1番目～第4番目のNANDゲート784、786、788および790の出力信号が全て“H”レベルになるので ($n00 \sim n03$ が“H”レベル)、NANDゲート791は“L”レベルの出力信号を出力し ($n04$ が“L”レベル)、冗

長イネーブル信号 $s f t e$ も “L” レベルになり、選択された行ブロックではシフト冗長を行わない。

【0262】

さらに、第1の行ブロックまたは第4の行ブロックが選択されたときは、第1番目のNAND784または第4番目のNANDゲート790のいずれか一方が “L” レベルの出力信号を出力するので、NANDゲート791は “H” レベルの出力信号を出力する ($n 0 4$ が “H” レベル)。それゆえに、冗長イネーブル信号 $s f t e$ も “H” レベルになり、選択された行ブロックにてシフト冗長を行うことができる。

【0263】

上記の冗長行ブロック選択回路770-1～770-4および770-14～770-17と、行アドレス論理回路780-1、780-14の機能を簡単にまとめると、次のようになる。

【0264】

シフト冗長を行わない行ブロックに対応する冗長行ブロック選択回路内のヒューズを予め切断しておく、このシフト冗長を行わない行ブロックが選択されたときには冗長イネーブル信号 $s f t e$ も “L” レベルになり、選択された行ブロックではシフト冗長を行わない。それとは逆に、シフト冗長を行う行ブロックに対応する冗長行ブロック選択回路のヒューズを切断せずに残しておく、このシフト冗長を行う行ブロックが選択されたときには冗長イネーブル信号 $s f t e$ が “H” レベルになり、選択された行ブロックにてシフト冗長を行う。

【0265】

さらに、図85のタイミングチャートに基づき、行アドレス論理回路780-1内の冗長行ブロックデータ保持回路792の動作について説明する。

【0266】

図84に示すノード $n 0 1 \sim n 0 3$ を “H” レベルのままにし (図85の (b))、ノード $n 0 0$ を “L” レベルのままにした状態で (図85の (a))、ノード $n 0 4$ を “H” レベルにしておきたい場合 (図85の (c))、すなわち、シフト冗長を行いたい場合、ノード $n 0 0$ が一時的に “H” レベルになってしま

うと、ノードn04もその影響を受けて一時的に“L”レベルになってしまう。

【0267】

冗長行ブロックデータ保持回路792は、このような事態になるのを防止するために設けられたものである。ここでは、図85の(d)のようなタイミングでパルスを出す信号(サンプリングパルス)の立ち上りにより、ノードn00が一時的に“H”レベルになる前の状態をラッチし、このようにしてラッチした状態を冗長イネーブル信号sfteとして出力するようにしている(図85の(e))。このときの冗長イネーブル信号sfteのレベルは、前述したように、ノードn04のレベルと同じものになり、ノードn04が“H”レベルであれば、冗長イネーブル信号sfteも“H”レベルになり、ノードn04が“L”レベルであれば、冗長イネーブル信号sfteも“L”レベルになる。それゆえに、特定の行ブロックを選択するような行ブロックのアドレスの信号が入ったときにはシフト冗長を行い、それ以外の行ブロックのアドレスの信号が入ったときにはシフト冗長を行わないといったような選択が可能になり、冗長の自由度が比較的大きくなる。

【0268】

図86および図87は、それぞれ、本発明の第6の実施例の全体的な回路構成を示すブロック図のその1とその2を示すものである。

【0269】

図86および図87に示す第6の実施例は、前述の第1の実施例に示したような「複数の選択線(ここでは、カラム選択線)および冗長選択線に1対1に対応してヒューズ回路および冗長選択用ヒューズ回路を設ける構成」に、図54の「複数の行ブロックにわたって配置されたカラム選択線のシフト冗長を行う場合、シフト冗長の対象となるカラム選択線のアドレスと行ブロックのアドレスの論理とを組み合わせることにより、行ブロック単位での冗長を行うことが可能になる構成」を適用することにより、冗長の自由度を比較的大きくするようにしたものである。

【0270】

上記の第6の実施例の特徴的な点は、前述の第5の実施例の場合と同じように

、複数の行ブロックにわたって配置されたカラム選択線のシフト冗長を行う機能を備えた半導体記憶装置において、上記複数の行ブロックの各々に対し冗長を行うか否かを決定するためのヒューズを有する冗長行ブロック選択回路 850-1 ~ 850-4 (図 86) および 850-64 ~ 850-67 (図 87) と、これらの冗長行ブロック選択回路からの出力に基づき上記複数の行ブロックのアドレスの論理を生成する行アドレス論理回路 860-1 (図 86)、860-64 (図 87) とを設ける構成になっていることである。上記の冗長行ブロック選択回路および行アドレス論理回路以外の主たる構成要素、例えば、冗長選択用ヒューズ回路、ヒューズ回路およびシフト制御回路は、前述の第 1 の実施例の構成と実質的に同じである。

【0271】

さらに詳しく説明すると、上記の第 6 の実施例では、カラム選択線に 1 対 1 に対応して、通常選択用のヒューズをそれぞれ有する 62 個のヒューズ回路 810-0、810-2 ~ 810-61、および 810-63 と、2 個の強制冗長用ヒューズ回路 810-2、810-62 とを設けている。さらに、2 本の冗長選択線にそれぞれ対応して、2 個の冗長選択用ヒューズ回路 810-r0、810-r1 を設けている。

【0272】

さらに、強制冗長用ヒューズ回路を含む複数 (計 64 個) のヒューズ回路は、1 対 1 対応で、前述の第 1 の実施例とほぼ同じ構成の複数のシフト制御回路 (計 64 個) 830-0 ~ 830-63 にそれぞれ接続されている。通常選択用のヒューズ回路により生成される出力信号 cfs000、cfs002 ~ cfs061、および cfs063 と、強制冗長用ヒューズ回路により生成される出力信号 cfs001、cfs062 は、複数のシフト制御回路 830-0 ~ 830-63 にそれぞれ入力される。2 個の冗長選択用ヒューズ回路 810-1、810-62 の出力信号 cfsrj0、cfsrj1 もまた、冗長選択用のシフト制御回路 830-r0、830-r1 にそれぞれ入力される。

【0273】

図 86 および図 87 に示すような第 6 の実施例においても、前述の第 5 の実施

例の場合と同じように、一つのメモリセルブロック内の複数の行ブロックにわたって配置されたカラム選択線に対しシフト冗長を行う場合に、シフト冗長の対象となるカラム選択線のアドレスに対し行ブロックのアドレス $RA0$ 、 $RA1$ の論理を組み込むことによって、複数の行ブロックにわたって駆動されるカラム選択線が、それぞれの行ブロックに対応する行ブロックのアドレスの論理を受けることになり、行ブロック単位での冗長を行うことが可能になる。

【0274】

図88は、本発明の第6の実施例における冗長選択用ヒューズ回路の構成を示す回路図、図89は、本発明の第6の実施例における強制冗長用ヒューズ回路の構成を示す回路図、そして、図90は、本発明の第6の実施例における通常選択用のヒューズ回路の構成を示す回路図である。図88～図90に示すヒューズ回路においては、選択線の“H”レベル用の電源の電源電圧として V_{ii} （内部電圧）が使用され、選択線の“L”レベル用の電源の電源電圧として、アース電位の V_{ss} が使用される。

【0275】

図88～図90に示す冗長選択用ヒューズ回路、強制冗長用ヒューズ回路および通常選択用のヒューズ回路の構成は、前述の第5の実施例に対し出力信号の論理が一部反転している点と、2つの冗長選択用ヒューズ回路の各々に冗長イネーブル信号 $sft ez$ （図93にて後述する $sft e$ に対応する）が入力される点を除けば、前述の第5の実施例の構成と実質的に同じである。

【0276】

図88において、 $sttx$ は、例えば、電源投入時、電源が立ち上がるまでは“H”レベルであり、電源が立ち上がった後は“L”レベルになる制御信号である。 $ftpz$ は、強制冗長を行う際に“H”レベルになる制御信号である。図88に示す冗長選択用ヒューズ回路は、制御信号 $sttx$ が入力されるPチャネル型トランジスタ812rおよびNチャネル型トランジスタ814rと、制御信号 $ftpz$ が入力されるPチャネル型トランジスタ813rおよびNチャネル型トランジスタ815rと、Nチャネル型トランジスタ816rと、インバータ817rと、NANDゲート818rと、出力側のインバータ819とを備えている。

。ヒューズ811rを切断していない場合、Nチャネル型トランジスタ816rがオフ状態になって冗長選択用ヒューズ回路の出力信号cfsrjx（図86および図87の出力信号cfsrj0、cfsrj1に対応する）は“L”レベルになる。ヒューズ811rを切断した場合、Nチャネル型トランジスタ816rがオン状態になり、冗長イネーブル信号が“H”レベルになっているときに冗長選択用ヒューズ回路の出力信号cfsrjxは“H”レベルになる。この冗長選択用ヒューズ回路の出力信号cfsrjxのレベルは、シフト制御回路にそのまま伝えられる。

【0277】

さらに、図88において、電源が立ち上がって制御信号sttxが“L”レベルになった場合、強制冗長を行わないときは、Nチャネル型トランジスタ816rがオフ状態になって冗長選択用ヒューズ回路の出力信号cfsrjxは“L”レベルになる。強制冗長を行ったときは、Nチャネル型トランジスタ816rがオン状態になってインバータ817rからの出力信号が“H”レベルになる。ここで、冗長イネーブル信号sfteが“H”レベルになっている場合のみ、NANゲート818rの出力信号が“L”レベルになるので、冗長選択用ヒューズ回路の出力信号cfsrjxは“H”レベルになる。すなわち、冗長イネーブル信号sfteが“H”レベルになっているという条件下で強制冗長を行ったときは、冗長選択用ヒューズ回路のヒューズ811rを切断したときと同じ結果になる。

【0278】

図89において、ftpzは、前述したように、強制冗長を行う際に“H”レベルになる制御信号である。図89に示す強制冗長用ヒューズ回路は、制御信号sttxが入力されるPチャネル型トランジスタ812fおよびNチャネル型トランジスタ814fと、制御信号ftpzが入力されるPチャネル型トランジスタ813fおよびNチャネル型トランジスタ815fと、Nチャネル型トランジスタ816fと、2つのインバータ817f、818fとを備えている。ここでは、ヒューズ811fを強制冗長の対象とし、このヒューズ811fを切断したように見せかけた場合、強制冗長用ヒューズ回路の出力信号cfsx（図86お

よび図87の出力信号cfs001、cfs062に対応する)は“L”レベルになる。この状態で、冗長選択線に不良がないか否かを確認することが可能である。

【0279】

図90に示すヒューズ回路は、制御信号sttxが入力されるPチャネル型トランジスタ812およびNチャネル型トランジスタ813と、Nチャネル型トランジスタ814と、2つのインバータ815、816とを備えている。電源が立ち上がって制御信号sttxが“L”レベルになった場合、ヒューズ811が切断されていないときは、Nチャネル型トランジスタ814がオフ状態になってヒューズ回路の出力信号cfsx(図86および図87の出力信号cfs000、cfs002～cfs061、およびcfs063に対応する)は“H”レベルになる。ヒューズ811を切断したときは、Nチャネル型トランジスタ816がオン状態になってヒューズ回路の出力信号cfsxは“L”レベルになる。

【0280】

図91は、本発明の第6の実施例におけるシフト制御回路の構成を示す回路図である。図91に示すような各々のシフト制御回路は、前述の第5の実施例の場合と同じように、NANDゲートとインバータにより構成されている。

【0281】

図91において、cfsは、前述のように、ヒューズ回路による生成される出力cfs000～cfa0063の任意の一つを表している。上記のシフト制御回路は、前述の第1の実施例(図6)の場合とほぼ同じ機能を有する。シフト制御回路の入力信号linは左隣の出力信号loutと接続し、シフト制御回路の他の入力信号uinは右隣の出力信号uoutと接続し、左端の入力信号linおよび右端の入力信号uinには、“H”(電圧Vii)レベルが入力される。

【0282】

より詳しくいえば、図91の通常選択用のシフト制御回路の入力信号linの側には、NANDゲート831が設けられており、出力信号loutの側には、インバータ832が設けられている。また一方で、図91のシフト制御回路の入力信号uinの側には、NANDゲート833が設けられており、出力信号uo

u t の側には、インバータ 834 が設けられている。

【0283】

インバータ 834 から出力される出力信号 u o u t は、選択線駆動回路（第 6 の実施例には図示していない：例えば、第 1 の実施例に係る図 5 参照）の他方の入力信号（図 5 の信号 s c u）として使用される。また一方で、インバータ 832 から出力される出力信号 l o u t は、選択線駆動回路の一方の入力信号（図 5 の信号 s c l）として使用される。これらの出力信号 u o u t、l o u t は、スイッチ部内の 3 方向性のスイッチ素子の動作を制御するために使用される。なお、冗長選択用のシフト制御回路 830-r0、830-r1 の構成も、通常選択用のシフト制御回路の構成とほぼ同じなので、ここでは、その冗長選択用のシフト制御回路の詳細な説明を省略する。

【0284】

ついで、本発明の第 6 の実施例において特徴的な構成要素である冗長行ブロック選択回路 850-1～850-4（図 86）および 850-64～850-67（図 87）と、行アドレス論理回路 860-1（図 86）、860-64（図 87）の具体的な構成例について説明する。

【0285】

図 92 は、本発明の第 6 の実施例に実施例における冗長行ブロック選択回路の構成を示す回路図であり、図 93 は、本発明の第 6 の実施例における行アドレス論理回路の構成を示す回路図である。これらの冗長行ブロック選択回路および行アドレス論理回路の構成は、前述の第 5 の実施例の構成とほぼ同じなので、ここでは、前述の第 5 の実施例の場合よりも上記回路の説明を簡略化することとする。

【0286】

上記の第 6 の実施例においても、各々のメモリセルブロック内に存在する 4 つの行ブロック 6r-0～6r-3 について説明する。行ブロックのアドレス RA0、RA1 の論理がそれぞれ“0”、“0”のときに第 1 の行ブロック 6r-0 が選択され、行ブロックのアドレス RA0、RA1 の論理がそれぞれ“1”、“0”のときに第 2 の行ブロック 6r-1 が選択される。さらに、行ブロックのア

ドレス RA0、RA1 の論理がそれぞれ “0”、“1” のときに第 3 の行ブロック 6r-2 が選択され、行ブロックのアドレス RA0、RA1 の論理がそれぞれ “1”、“1” のときに第 4 の行ブロック 6r-3 が選択される。

【0287】

図 92 に示す各々の冗長行ブロック選択回路 (850-1~850-4、850-64~850-67 のいずれか一つ) は、制御信号 sttx が入力される P チャンネル型トランジスタ 852 および N チャンネル型トランジスタ 853 と、N チャンネル型トランジスタ 854 と、2 つのインバータ 855、856 とを備えている。電源が立ち上がって制御信号 sttx が “L” レベルになった場合、ヒューズ 851 が切断されていないときは、N チャンネル型トランジスタ 854 がオフ状態になって出力信号 f0~f3 は “H” レベルになる。ヒューズ 851 を切断したときは、N チャンネル型トランジスタ 854 がオン状態になって出力信号 f0~f3 は “L” レベルになる。

【0288】

図 93 に示す行アドレス論理回路 860-1 または 860-64 は、4 つの行ブロックのアドレス RA0、RA1 の 2 種類の論理と、これらのアドレス RA0、RA1 の論理をインバータ 861、862 によりそれぞれ反転した 2 種類の論理から、2 種類の論理を選択して得られる 4 通りの組み合わせをそれぞれ入力信号とする 4 つの NOR ゲート 863、865、867 および 869 を備えている。この場合、行ブロックのアドレス RA0、RA1 の論理に基づいて選択される行ブロックに対応して、4 つの NOR ゲート 863、865、867 および 869 のいずれか一つの出力信号が “H” レベルになる。

【0289】

さらに、これらの NOR ゲート 863、865、867 および 869 の出力側に、4 つの NAND ゲート 864、866、868 および 870 がそれぞれ設けられている。これらの NAND ゲート 864、866、868 および 870 の各々には、NOR ゲート 863、865、867 および 869 からそれぞれ出力される出力信号の一つと、上記の冗長行ブロック選択回路からの出力信号 f0~f3 の一つが入力される。さらに、上記の NAND ゲート 864、866、868

および870の出力側に、NANDゲート871が設けられている。選択された行ブロックに対しシフト冗長を行う場合、この行ブロックに対応する冗長行ブロック選択回路内のヒューズを切断しないようにするので、当該冗長行ブロック選択回路の出力信号（f0～f3のいずれか一つ）が“H”レベルになる。このため、当該冗長行ブロック選択回路からの“H”レベルの出力信号と、選択された行ブロックに対応するNANDゲートの“H”レベルの出力信号とを入力信号に持つNORゲートの出力信号が、“L”レベルになる。この“L”レベルの出力信号は、NANDゲート871を通して、“H”レベルの出力信号として出力される。

【0290】

さらに、上記NANDゲート871の出力側に、選択された行ブロックに対しシフト冗長を行うべきか否かに関するデータを保持するためのデータラッチ部を含む冗長行ブロックデータ保持回路872が設けられている。この冗長行ブロックデータ保持回路872は、NANDゲート871の出力信号のレベルを反転するインバータ874と、サンプリングパルスやNANDゲート871の出力信号やインバータ874の出力信号を入力信号に持つ2つのNANDゲート873、875と、2つのNANDゲート876、877からなるデータラッチ部とを備えている。このデータラッチ部から、選択された行ブロックに対しシフト冗長を行うことを可能にする冗長イネーブル信号s f t eが出力される。

【0291】

まず、第1の行ブロック6r-0に対してのみシフト冗長を行わず、その他の行ブロックに対してシフト冗長を行う場合には、出力信号f0を出力する冗長行ブロック選択回路内のヒューズを切断して出力信号f0を“L”レベルにする。その他の冗長行ブロック選択回路のヒューズは切断しない（出力信号f1～f3は“H”レベルになる）。

【0292】

つぎに、第1の行ブロック6r-0が選択されると（RA0=“0”、RA1=“0”）、第1番目のNORゲート863の出力信号は“H”レベルになり、第1番目のNANDゲート864の出力信号は“H”レベルになる（ノードn0

0が“H”レベル)。その他のNORゲートの出力信号は全て“L”レベルになるので、第2番目～第4番目NANDゲートの出力信号は全て“H”レベルになる(ノードn01～n03が“H”レベル)。この結果、NANDゲート871の入力信号が全て“H”レベルになるので、NANDゲート871は“L”レベルの出力信号を出力する(ノードn04が“L”レベル)。ノードn04の“L”レベルの信号は、冗長行ブロックデータ保持回路を通過し、同じ“L”レベルの冗長イネーブル信号s f t eとして出力される。冗長イネーブル信号s f t eが“L”レベルのときは、インバータ856を通過した冗長選択用ヒューズ回路の出力信号は、冗長選択用ヒューズ回路のヒューズの状態によらず“L”レベルになり、選択された第1の行ブロック6r-0ではシフト冗長を行わない。

【0293】

さらに、第3の行ブロック6r-2が選択されると(RA0=“0”、RA1=“1”)、第3番目のNORゲート867の出力信号は“H”レベルになるので、第3番目のNANDゲート868の出力信号は“L”レベルになる。また一方で、その他のNORゲートの出力信号は全て“L”レベルになるので、第1番目のNANDゲート864、第2番目のNANDゲート866、および第4番目のNANDゲート870の出力信号は全て“H”レベルになる。すなわち、ノードn02が“L”レベルでノードn00、n01およびn03が“H”レベルなので、NANDゲート871は“H”レベルの出力信号を出力し(n04が“H”レベル)、冗長イネーブル信号s f t eは“H”レベルになる。冗長イネーブル信号s f t eが“H”レベルのときは、冗長選択用ヒューズ回路のヒューズの状態に応じて冗長選択線用ヒューズ回路の出力信号のレベルが決まるので、冗長選択用ヒューズ回路のヒューズを切断することにより、選択された第3の行ブロック6r-2に対するシフト冗長を行うことができる。

【0294】

同様にして、第2の行ブロックおよび第3の行ブロックに対しシフト冗長を行わず、第1の行ブロックおよび第4の行ブロックに対しシフト冗長を行うこともできる。この場合は、出力信号f1、f2を出力する冗長行ブロック選択回路のヒューズをそれぞれ切断して出力信号f1、f2を“L”レベルにし、出力信号

f 0、f 3 を出力する冗長行ブロック選択回路のヒューズはそれぞれ切断せずに出力信号 f 0 と f 3 を “H” レベルにする。

【0295】

ここで、第2の行ブロックまたは第3の行ブロックが選択されたときは、第1番目～第4番目のNANDゲート864、866、868および870の出力信号が全て “H” レベルになるので (n 0 0～n 0 3が “H” レベル)、NANDゲート871は “L” レベルの出力信号を出力し (n 0 4が “L” レベル)、冗長イネーブル信号 s f t e も “L” レベルになり、選択された行ブロックではシフト冗長を行わない。

【0296】

さらに、第1の行ブロックまたは第4の行ブロックが選択されたときは、第1番目のNAND864または第4番目のNANDゲート870のいずれか一方が “L” レベルの出力信号を出力するので、NANDゲート871は “H” レベルの出力信号を出力する (n 0 4が “H” レベル)。それゆえに、冗長イネーブル信号 s f t e も “H” レベルになり、選択された行ブロックにてシフト冗長を行うことができる。

【0297】

図93に示すノードn 0 1～n 0 3を “H” レベルのままにし、ノードn 0 0を “L” レベルのままにした状態で、ノードn 0 4を “H” レベルにしておきたい場合、すなわち、シフト冗長を行いたい場合、ノードn 0 0が一時的に “H” レベルになってしまうと、ノードn 0 4もその影響を受けて一時的に “L” レベルになってしまう。

【0298】

冗長行ブロックデータ保持回路872は、このような事態になるのを防止するために設けられたものである。ここでは、サンプリングパルスの立ち上がりにより、ノードn 0 0が一時的に “H” レベルになる前の状態をラッチし、このようにしてラッチした状態を冗長イネーブル信号 s f t e として出力するようにしている。このときの冗長イネーブル信号 s f t e のレベルは、前述したように、ノードn 0 4のレベルと同じものになり、ノードn 0 4が “H” レベルであれば、冗

長イネーブル信号 *s f t e* も “H” レベルになり、ノード *n 0 4* が “L” レベルであれば、冗長イネーブル信号 *s f t e* も “L” レベルになる。それゆえに、上記の第 6 の実施例によれば、特定の行ブロックを選択するような行ブロックのアドレスの信号が入ったときにはシフト冗長を行い、それ以外の行ブロックのアドレスの信号が入ったときにはシフト冗長を行わないといったような選択が可能になり、前述の第 5 の実施例の場合と同様に、冗長の自由度が比較的大きくなる。

【0299】

【発明の効果】

以上説明したように、本発明の半導体記憶装置によれば、第 1 に、複数の選択線内の 2 本の選択線に欠陥が発生した場合に、複数の選択線の中で一方の端に位置する第 1 の冗長選択線の方に、1 ビット分だけ複数のデコード信号線をシフトさせると共に、上記選択線の中で他方の端に位置する第 2 の冗長選択線の方に、1 ビット分だけ複数のデコード信号線をシフトさせるようにスイッチの切替動作を制御しているので、選択線同士のショート等が存在して 2 本以上の欠陥選択線が生じた場合に、一方の冗長選択線の方、および他方の冗長選択線の方にシフトさせることにより、低消費電力および高速アクセスによる 2 ビットのシフト冗長を行って欠陥選択線を効率良く救済することが可能になる。

【0300】

さらに、本発明の半導体記憶装置によれば、第 2 に、複数の選択線内の 1 本の選択線に欠陥が発生した場合に、複数の選択線の中でいずれか一方の端に位置する冗長選択線の方に、1 ビット分だけ複数のデコード信号線をシフトさせるようにスイッチ素子の切替動作を制御しているので、1 本の欠陥選択線が生じた場合には、従来のシフト冗長方式と同じように、2 本の冗長選択線のいずれか一方の方にシフトさせることにより、1 ビットのシフト冗長を行って欠陥選択線を救済することも可能である。

【0301】

さらに、本発明の半導体記憶装置によれば、第 3 に、シフト冗長ヒューズ回路部から、ヒューズが切断されているか否かを示す直流電圧のレベルにて出力されるようになっているので、信号処理の高速化を必要とせず、半導体チップ上の回

路レイアウトが比較的簡単になり、半導体チップの占有面積の節減が図れる。

【0302】

さらに、本発明の半導体記憶装置によれば、第4に、シフト冗長制御回路部が、ヒューズ回路からの出力結果を受けてシフト冗長を行うためのシフト制御信号を出力するNANDゲートもしくはNORゲートと、インバータにより構成することができるので、簡単な回路構成によりシフト冗長制御回路を構成することが可能になる。

【0303】

さらに、本発明の半導体記憶装置によれば、第5に、複数の選択線に接続されるスイッチ素子の各々が、左方向へのシフト冗長を行うモード、左方向へのシフト冗長を行うモードまたはシフト冗長を行わないモードを選択することが可能な3方向性のスイッチ素子により構成されるので、簡単な回路構成によりスイッチ素子を構成することが可能になる。

【0304】

さらに、本発明の半導体記憶装置によれば、第6に、予め定められた選択線に対応するヒューズを切断したように見せかける強制冗長ヒューズ回路を設けているので、冗長選択線を切断する前に冗長選択線に不良がないか否かを確認することができるようになり、冗長選択線に対する隣選択線の影響等を簡単に試験することが可能になる。

【0305】

さらに、本発明の半導体記憶装置によれば、第7に、複数のメモリセルのブロック内で、冗長判定用のヒューズ回路の出力レベルを評価して一部のヒューズが切断されているか否かを判定することにより、シフト冗長処理がなされているか否かを検出するようにしているので、半導体記憶装置をチップ上に実装してパッケージ等を製造した後でも、シフト冗長処理がなされたブロックを容易に検出することが可能になる。

【0306】

さらに、本発明の半導体記憶装置によれば、第8に、シフト冗長処理を行った場合に、複数のメモリセルのブロックの順番が変わらないように、各々のブロッ

ク内のメモリセルを選択してデータの書き込みまたは読み出しを行うようにしている。

【0307】

さらに、本発明の半導体記憶装置によれば、第9に、半導体チップ内で、複数の選択線と複数のヒューズとが同一のピッチにてレイアウトが行われるようにしているので、シフト冗長処理がなされている選択線を一目で確認することができるようになる。

【0308】

さらに、本発明の半導体記憶装置によれば、第10に、複数の選択線内の2本の選択線に欠陥が発生した場合に、これらの選択線の総数よりも少ない複数のヒューズの組み合わせにより、2本の欠陥選択線の各々に対応するヒューズのアドレスを指定してヒューズデコード信号を生成するようにしているので、半導体チップ上のヒューズの実装数が減少し、半導体チップ上のヒューズの占有面積の節減が図れる。

【0309】

さらに、本発明の半導体記憶装置によれば、第11に、複数の選択線内の1本の選択線に欠陥が発生した場合に、これらの選択線の総数よりも少ない複数のヒューズの組み合わせにより、1本の欠陥選択線に対応するヒューズのアドレスを指定してヒューズデコード信号を生成するようにしているので、従来よりも少ない数のヒューズを使用して1ビットのシフト冗長を行い、欠陥選択線を救済することも可能である。

【0310】

さらに、本発明の半導体記憶装置によれば、第12に、半導体チップ内で隣接する2つのセルアレイに対し通常選択用のヒューズ回路および強制冗長用ヒューズ回路を共有させ、それぞれのセルアレイに対応するように冗長選択用ヒューズ回路を独立に設けることにより、隣接する2つのセルアレイの選択線の総数に対し2ビットまたは1ビットのシフト冗長を行うことができるので、冗長選択用のヒューズに対する冗長の自由度を大きくすることが可能になる。

【0311】

本発明の第 1 の実施例におけるデコーダ回路の構成を示す回路図である。

【図 8】

本発明の第 1 の実施例における通常選択用のヒューズ回路の構成を示す回路図である。

【図 9】

本発明の第 1 の実施例における冗長選択用ヒューズ回路の構成を示す回路図である。

【図 10】

本発明の第 1 の実施例における強制冗長用ヒューズ回路の構成を示す回路図である。

【図 11】

本発明の第 1 の実施例における各回路間のつながりを示す回路図（その 1）である。

【図 12】

本発明の第 1 の実施例における各回路間のつながりを示す回路図（その 2）である。

【図 13】

本発明の第 1 の実施例における各回路間のつながりを示す回路図（その 3）である。

【図 14】

本発明の第 1 の実施例における各回路間のつながりを示す回路図（その 4）である。

【図 15】

本発明の第 1 の実施例における各回路間のつながりを示す回路図（その 5）である。

【図 16】

本発明の第 1 の実施例における各回路間のつながりを示す回路図（その 6）である。

【図 17】

本発明の第 1 の実施例におけるシフト制御回路の回路レイアウトを示す図である。

【図 18】

本発明の第 1 の実施例におけるヒューズ回路の回路レイアウトを示す図である。

【図 19】

本発明の第 2 の実施例における選択線駆動回路の構成を示す回路図である。

【図 20】

本発明の第 2 の実施例における通常選択用のシフト制御回路の構成を示す回路図である。

【図 21】

本発明の第 2 の実施例における左端用冗長シフト制御回路の構成を示す回路図である。

【図 22】

本発明の第 2 の実施例における右端用冗長シフト制御回路の構成を示す回路図である。

【図 23】

本発明の第 2 の実施例における通常選択用のヒューズ回路の構成を示す回路図である。

【図 24】

本発明の第 2 の実施例における冗長選択用ヒューズ回路の構成を示す回路図である。

【図 25】

本発明の第 2 の実施例における強制冗長用ヒューズ回路の構成を示す回路図である。

【図 26】

本発明の第 2 の実施例におけるデコーダ回路の構成を示す回路図である。

【図 27】

図 19 の選択線駆動回路の動作を説明するためのタイミングチャートである。

【図 28】

本発明の第 2 の実施例における各回路間のつながりを示す回路図（その 1）である。

【図 29】

本発明の第 2 の実施例における各回路間のつながりを示す回路図（その 2）である。

【図 30】

本発明の第 2 の実施例における各回路間のつながりを示す回路図（その 3）である。

【図 31】

本発明の第 2 の実施例における各回路間のつながりを示す回路図（その 4）である。

【図 32】

本発明の第 2 の実施例における各回路間のつながりを示す回路図（その 5）である。

【図 33】

本発明の第 2 の実施例における各回路間のつながりを示す回路図（その 6）である。

【図 34】

本発明の第 2 の実施例におけるシフト制御回路の回路レイアウトを示す図である。

【図 35】

本発明の第 2 の実施例におけるヒューズ回路の回路レイアウトを示す図である。

【図 36】

本発明の実施例に適用される冗長ブロック検出回路の一構成例を示す回路図である。

【図 37】

本発明の第 3 の実施例の全体的な回路構成を示すブロック図（その 1）である

【図 38】

本発明の第 3 の実施例の全体的な回路構成を示すブロック図（その 2）である

【図 39】

本発明の第 3 の実施例の全体的な回路構成を示すブロック図（その 3）である

【図 40】

本発明の第 3 の実施例における冗長選択用ヒューズ回路の構成を示す回路図である。

【図 41】

本発明の第 3 の実施例における強制冗長用ヒューズ回路の構成を示す回路図である。

【図 42】

本発明の第 3 の実施例における通常選択用のヒューズ回路の構成を示す回路図である。

【図 43】

本発明の第 3 の実施例におけるヒューズ信号生成回路の構成を示す回路図である。

【図 44】

本発明の第 3 の実施例におけるヒューズプリデコーダ回路の構成を示す回路図である。

【図 45】

本発明の第 3 の実施例におけるヒューズデコーダ回路の構成を示す回路図である。

【図 46】

選択線に欠陥がない場合における図 42 のヒューズ回路のシミュレーション動作を示す電圧波形図である。

【図 47】

選択線に欠陥がない場合における図 4 4 のヒューズプリデコーダ回路のシミュレーション動作を示す電圧波形図である。

【図 4 8】

2 シフト冗長を実行した場合における図 4 2 のヒューズ回路のシミュレーション動作を示す電圧波形図である。

【図 4 9】

2 シフト冗長を実行した場合における図 4 4 のヒューズプリデコーダ回路のシミュレーション動作を示す電圧波形図である。

【図 5 0】

本発明のシフト冗長方式の半導体装置が適用される半導体チップの概略的構成を示す図である。

【図 5 1】

各々のセルアレイに対し独立にヒューズ回路、強制冗長用ヒューズ回路および冗長選択用ヒューズ回路を設ける場合の図 5 0 の A 部の構成を拡大して示す図である。

【図 5 2】

メモリセルブロック内の複数の行ブロックに対し一様にカラム選択線のシフト冗長を行う場合の図 5 0 の B 部の構成を拡大して示す図である。

【図 5 3】

隣接するセルアレイに対しヒューズ回路および強制冗長用ヒューズ回路を共有させる場合の図 5 0 の A 部の構成を拡大して示す図である。

【図 5 4】

メモリセルブロック内の各々のブロック単位でカラム選択線のシフト冗長を行う場合の図 5 0 の B 部の構成を拡大して示す図である。

【図 5 5】

本発明の第 4 の実施例の全体的な回路構成を示すブロック図（その 1）である。

【図 5 6】

本発明の第 4 の実施例の全体的な回路構成を示すブロック図（その 2）である。

【図 57】

本発明の第4の実施例の全体的な回路構成を示すブロック図（その3）である

【図 58】

本発明の第4の実施例の全体的な回路構成を示すブロック図（その4）である

【図 59】

本発明の第4の実施例の全体的な回路構成を示すブロック図（その5）である

【図 60】

本発明の第4の実施例の全体的な回路構成を示すブロック図（その6）である

【図 61】

本発明の第4の実施例における冗長選択用ヒューズ回路の構成を示す回路図である。

【図 62】

本発明の第4の実施例における強制冗長用ヒューズ回路の構成を示す回路図である。

【図 63】

本発明の第4の実施例における通常選択用のヒューズ回路の構成を示す回路図である。

【図 64】

本発明の第4の実施例における冗長選択用ヒューズ信号増幅回路の構成を示す回路図である。

【図 65】

本発明の第4の実施例におけるヒューズ信号生成回路の構成を示す回路図である。

【図 66】

本発明の第4の実施例における第1のヒューズプリデコード回路の構成を示す回路図である。

【図67】

本発明の第4の実施例における第2のヒューズプリデコード回路の構成を示す回路図である。

【図68】

本発明の第4の実施例におけるヒューズデコード回路の構成を示す回路図である。

【図69】

本発明の第4の実施例におけるシフト制御回路の構成を示す回路図である。

【図70】

本発明の第5の実施例の全体的な回路構成を示すブロック図（その1）である。

【図71】

本発明の第5の実施例の全体的な回路構成を示すブロック図（その2）である。

【図72】

本発明の第5の実施例の全体的な回路構成を示すブロック図（その3）である。

【図73】

本発明の第5の実施例における冗長選択用ヒューズ回路の構成を示す回路図である。

【図74】

本発明の第5の実施例における強制冗長用ヒューズ回路の構成を示す回路図である。

【図75】

本発明の第5の実施例における通常選択用のヒューズ回路の構成を示す回路図である。

【図76】

本発明の第5の実施例における冗長選択用ヒューズ信号増幅回路の構成を示す回路図である。

【図77】

本発明の第5の実施例におけるヒューズ信号生成回路の構成を示す回路図である。

【図78】

本発明の第5の実施例における第1のヒューズプリデコーダ回路の構成を示す回路図である。

【図79】

本発明の第5の実施例における第2のヒューズプリデコーダ回路の構成を示す回路図である。

【図80】

本発明の第5の実施例におけるヒューズデコーダ回路の構成を示す回路図である。

【図81】

本発明の第5の実施例におけるシフト制御回路の構成を示す回路図である。

【図82】

本発明の第5の実施例にて各々のメモリセルブロック内に存在する4つの行ブロックの状態の一例を示す図である。

【図83】

本発明の第5の実施例における冗長行ブロック選択回路の構成を示す回路図である。

【図84】

本発明の第5の実施例における行アドレス論理回路の構成を示す回路図である。

【図85】

図84の行アドレス論理回路の動作を説明するためのタイミングチャートである。

【図86】

本発明の第 6 の実施例の全体的な回路構成を示すブロック図（その 1）である。

【図 87】

本発明の第 6 の実施例の全体的な回路構成を示すブロック図（その 2）である。

【図 88】

本発明の第 6 の実施例における冗長選択用ヒューズ回路の構成を示す回路図である。

【図 89】

本発明の第 6 の実施例における強制冗長用ヒューズ回路の構成を示す回路図である。

【図 90】

本発明の第 6 の実施例における通常選択用のヒューズ回路の構成を示す回路図である。

【図 91】

本発明の第 6 の実施例におけるシフト制御回路の構成を示す回路図である。

【図 92】

本発明の第 6 の実施例における冗長行ブロック選択回路の構成を示す回路図である。

【図 93】

本発明の第 6 の実施例における行アドレス論理回路の構成を示す回路図である。

【図 94】

一般の冗長機能を備えた半導体記憶装置の構成を示すブロック図である。

【符号の説明】

- 1 … シフト冗長回路
- 2 … スイッチ部
- 2-1、2-2 … スイッチ部
- 3 … シフト冗長制御回路部

3-1、3-3…NANDゲート
 3-2、3-4…インバータ
 4…シフト冗長ヒューズ回路部
 5…デコーダ回路
 6…半導体チップ
 6-0…セルアレイNo. 0
 6-1…セルアレイNo. 1
 6r-0～6r-3…複数の行ブロック
 7-0…列デコーダNo. 0
 7-1…列デコーダNo. 1
 7-2…メインワードデコーダ
 8-0…セルアレイNo. 0側のヒューズ回路および強制冗長用ヒューズ回路
 8-1…セルアレイNo. 1側のヒューズ回路および強制冗長用ヒューズ回路
 8c…共有のヒューズ回路および強制冗長用ヒューズ回路
 8j-0…セルアレイNo. 0側の冗長選択用ヒューズ回路
 8j-1…セルアレイNo. 1側の冗長選択用ヒューズ回路
 10…インバータ
 11…NORゲート
 12、14および16…インバータ
 13、15および17…トランスファゲート
 18…Pチャネル型トランジスタ
 10a～12a…Pチャネル型トランジスタ
 13a～18a…Nチャネル型トランジスタ
 19a、20a…Pチャネル型トランジスタ
 21a、22a…Nチャネル型トランジスタ
 23a…Pチャネル型トランジスタ
 24a…Nチャネル型トランジスタ
 25a、26a…Pチャネル型トランジスタ
 27a、28a…Nチャネル型トランジスタ

30、32…NANDゲート
 31、33…インバータ
 30a、31a…Pチャネル型トランジスタ
 32a、33a…Nチャネル型トランジスタ
 34a、35a…インバータ
 36a、37a…Nチャネル型トランジスタ
 38a、39a…Pチャネル型トランジスタ
 40…ヒューズ
 41…Pチャネル型トランジスタ
 42、44…Nチャネル型トランジスタ
 43、45…インバータ
 40a…ヒューズ
 41a、44a…Pチャネル型トランジスタ
 42a、43aおよび45a…Nチャネル型トランジスタ
 40b…ヒューズ
 41b…Pチャネル型トランジスタ
 42b、43b…Nチャネル型トランジスタ
 44b、45b…インバータ
 50～53…インバータ
 52-1～52-64…選択線デコーダ回路
 54～61…Pチャネル型トランジスタ
 60-1～60-64…ヒューズ回路
 60r1、60r2…冗長選択用ヒューズ回路
 62、63…Nチャネル型トランジスタ
 62-1～62-64…ヒューズ回路
 62r1、62r2…冗長選択用ヒューズ回路
 64～67…インバータ
 68～75…Pチャネル型トランジスタ
 70-1～70-64…シフト制御回路

70r1、70r2…冗長選択用シフト制御回路
 72-1～72-64…シフト制御回路
 72r1、72r2…冗長選択用シフト制御回路
 80-1～80-64…選択線駆動回路
 80r1、80r2…冗長選択線駆動回路
 82-1～82-64…選択線駆動回路
 82r1、82r2…冗長選択線駆動回路
 90a、91a…Nチャネル型トランジスタ
 500-1、500-14…冗長選択用ヒューズ回路
 500-2、500-8…強制冗長用ヒューズ回路
 500-3～500-7、500-9～500-13…ヒューズ回路
 510-1～510-12…ヒューズ信号生成回路
 511、513…NANDゲート
 512…インバータ
 520-1～520-24…ヒューズプリデコーダ回路
 521…NANDゲート
 530-1～530-m…ヒューズデコーダ回路
 531～533…NORゲート
 540-1～540-m+2…シフト制御回路
 600…メモリセル
 601-1、601-14…冗長選択用ヒューズ回路
 601-2、601-8…強制冗長用ヒューズ回路
 601-3～601-7、601-9～601-13…ヒューズ回路
 602-1、602-14…冗長選択用ヒューズ回路
 610-1、610-14…冗長選択用ヒューズ信号増幅回路
 610-2～610-13…ヒューズ信号生成回路
 612、613…インバータ
 620-1～620-24…ヒューズプリデコーダ回路（セルアレイNo. 0側）

621-1~621-24…ヒューズプリデコーダ回路（セルアレイNo. 1側）

622、623…NORゲート

630-1~630-m…ヒューズデコーダ回路（セルアレイNo. 0側）

631-1~631-m…ヒューズデコーダ回路（セルアレイNo. 1側）

632~634…NANDゲート

640-1~640-m+2…シフト制御回路（セルアレイNo. 0側）

641-1~641-m+2…シフト制御回路（セルアレイNo. 1側）

642、644…NORゲート

543~645…インバータ

700…列デコーダ

701-1、701-14…冗長選択用ヒューズ回路

701-2、701-8…強制冗長用ヒューズ回路

701-3~701-7、701-9~701-13…ヒューズ回路

710-1、710-14…冗長選択用ヒューズ信号増幅回路

710-2~710-13…ヒューズ信号生成回路

711、712…インバータ

720…ディレイ回路

730-1~730-24…ヒューズプリデコーダ回路

731、732…NANDゲート

740…冗長判定回路

750-1~750-m…ヒューズデコーダ回路

751~753…NORゲート

760-1~760-m+2…シフト制御回路

761、763…NANDゲート

762、764…インバータ

770-1~770-4、および770-14~770-17…冗長行ブロック
選択回路

780-1、780-14…行アドレス論理回路

792…冗長行ブロックデータ保持回路

800…行デコーダ

810-r0、801-r1…冗長選択用ヒューズ回路

810-1、810-62…強制冗長用ヒューズ回路

810-0、810-2～810-61、および810-63…ヒューズ回路

820…ディレイ回路

830-0～830-63…シフト制御回路

831、833…NANDゲート

832、834…インバータ

840…冗長判定回路

850-1～850-4、および850-64～850-67…冗長行ブロック
選択回路

860-1、860-64…行アドレス論理回路

872…冗長行ブロックデータ保持回路

s10～s1(n-1)…選択線

s1j0、s1j1…冗長選択線

c10～c163…選択線

c1j0、c1j1…冗長選択線

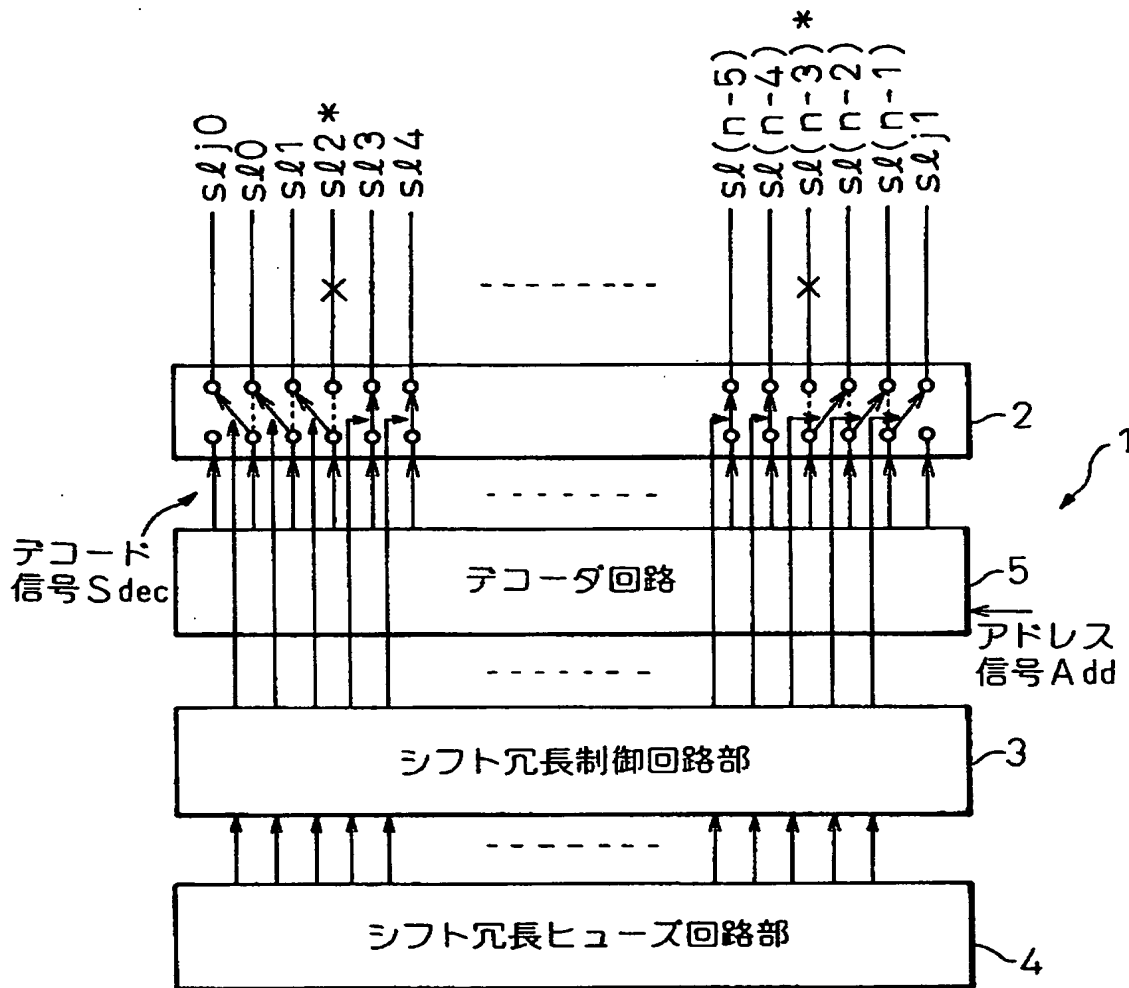
【書類名】

図面

【図 1】

図 1

本発明の原理構成を示すブロック図



*注)

例えば、選択線 $SL\ 2$ および $SL\ (n-3)$ に欠陥が生じたものとする

1...シフト冗長回路

2...スイッチ部

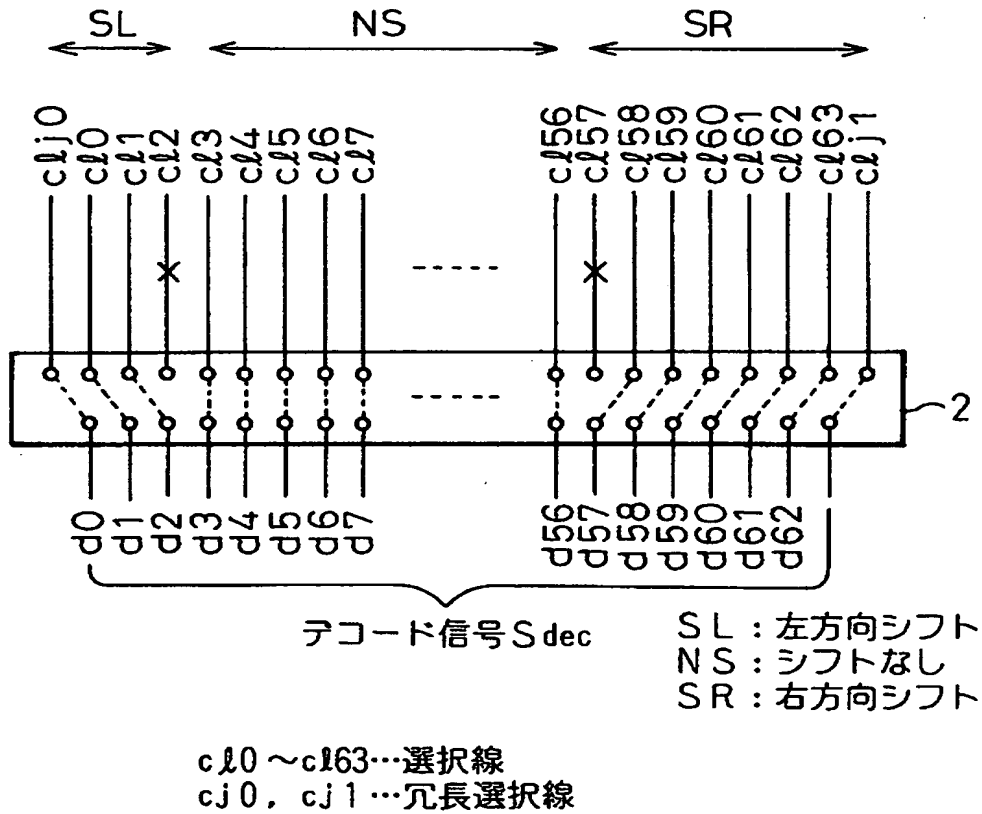
$sl0 \sim sl\ (n-1)$...選択線

$slj0, slj1$...冗長選択線

【図 2】

図 2

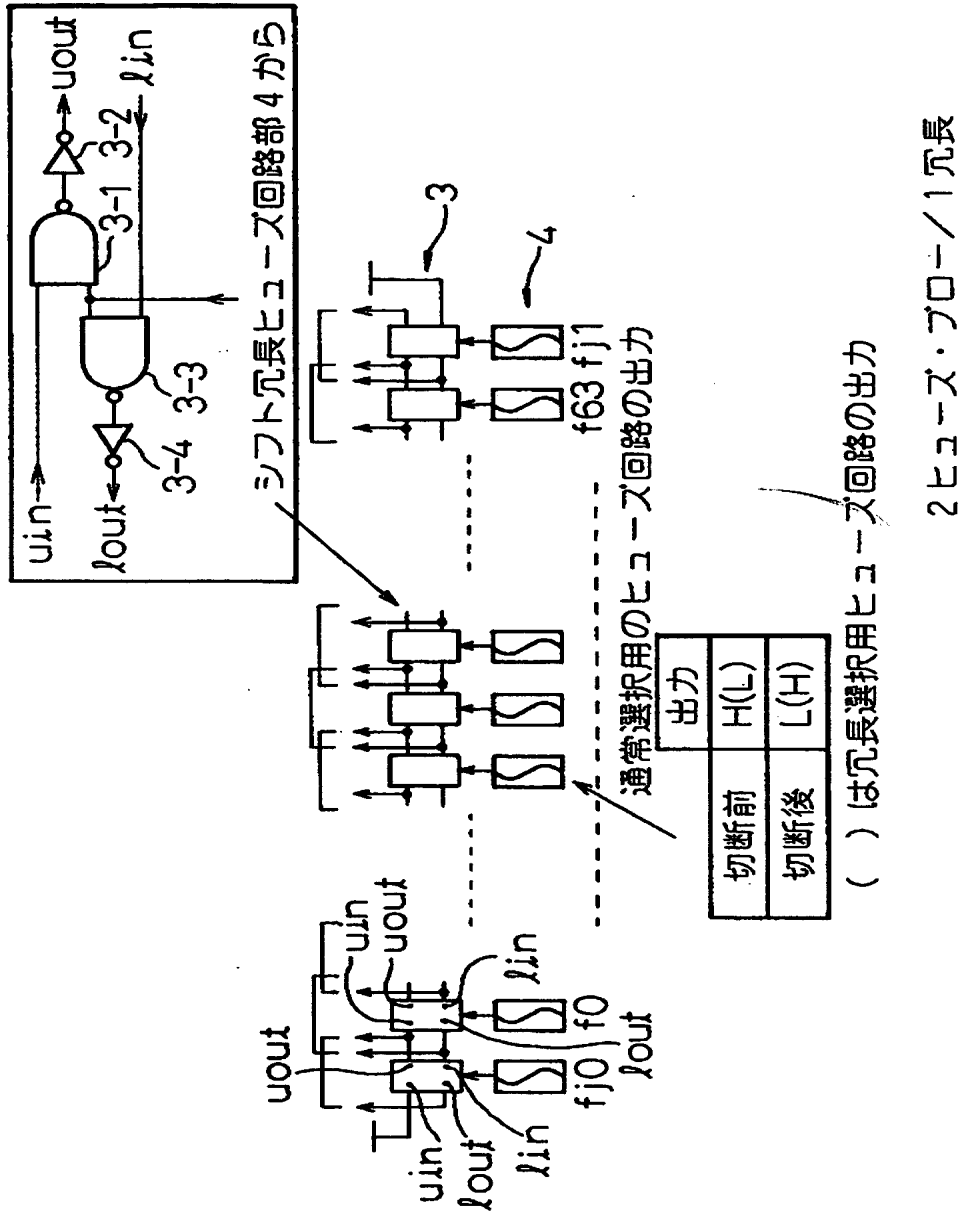
本発明の基本原理を説明するための模式図



【図 3】

図 3

本発明のシフト冗長回路の基本概念を示すブロック図



【図4】

図 4 図3の各部の信号レベルを示す図

(a) デフォルト

シフト	NS											
uout	L	L	L	L	-----	L	L	L	L			
lout	L	L	L	L	-----	L	L	L	L			
シフト冗長ヒューズ 回路部の出力	L	H	H	H	-----	H	H	H	L			
	↑	↑	↑	↑		↑	↑	↑	↑			
	fj0	f0	f1	f2		f61	f62	f63	fj1			

(b) 1シフト冗長 (選択線)

シフト	SL	非選択	NS									
uout	H	H	L	L	-----	L	L	L	L			
lout	L	L	L	L	-----	L	L	L	L			
シフト冗長ヒューズ 回路部の出力	H	H	L	H	-----	H	H	H	L			
	↑	↑	↑	↑		↑	↑	↑	↑			
	fj0	f0	f1	f2		f61	f62	f63	fj1			

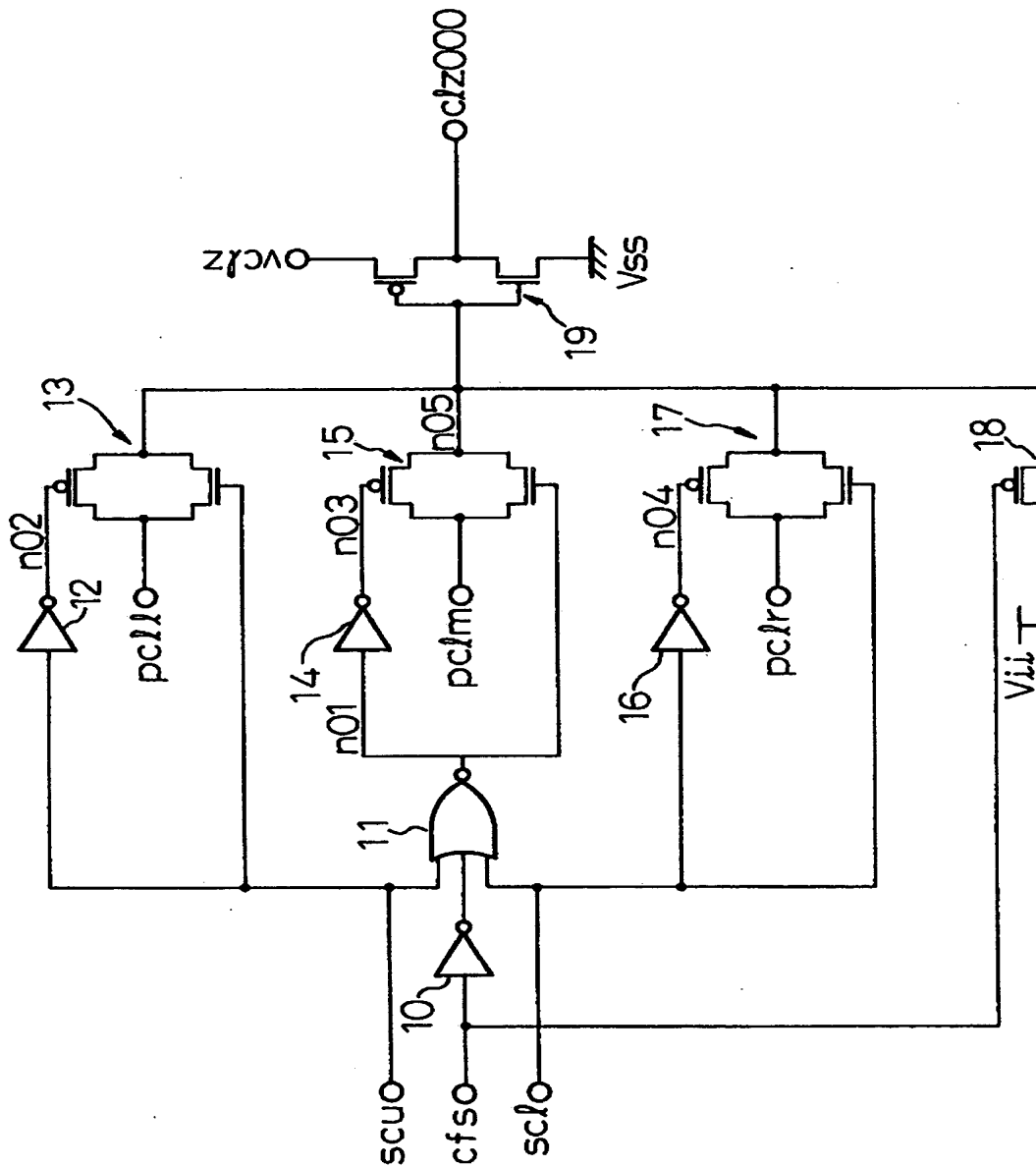
(c) 2シフト冗長 (選択線)

シフト	SL	非選択	NS				非選択	SR			
uout	H	H	L	L	-----	L	L	L	L		
lout	L	L	L	L	-----	L	H	H	H		
シフト冗長ヒューズ 回路部の出力	H	H	L	H	-----	L	H	H	H		
	↑	↑	↑	↑		↑	↑	↑	↑		
	fj0	f0	f1	f2		f61	f62	f63	fj1		

【図 5】

図 5

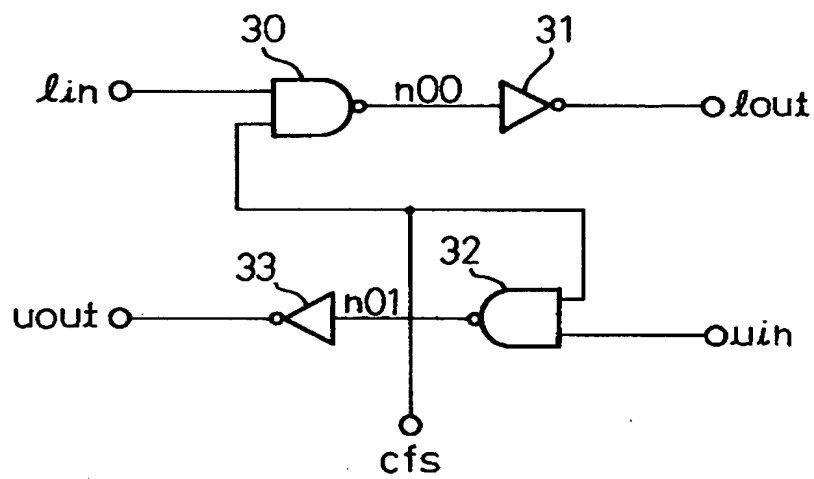
本発明の第 1 の実施例における選択線駆動回路の構成を示す回路図



【図 6】

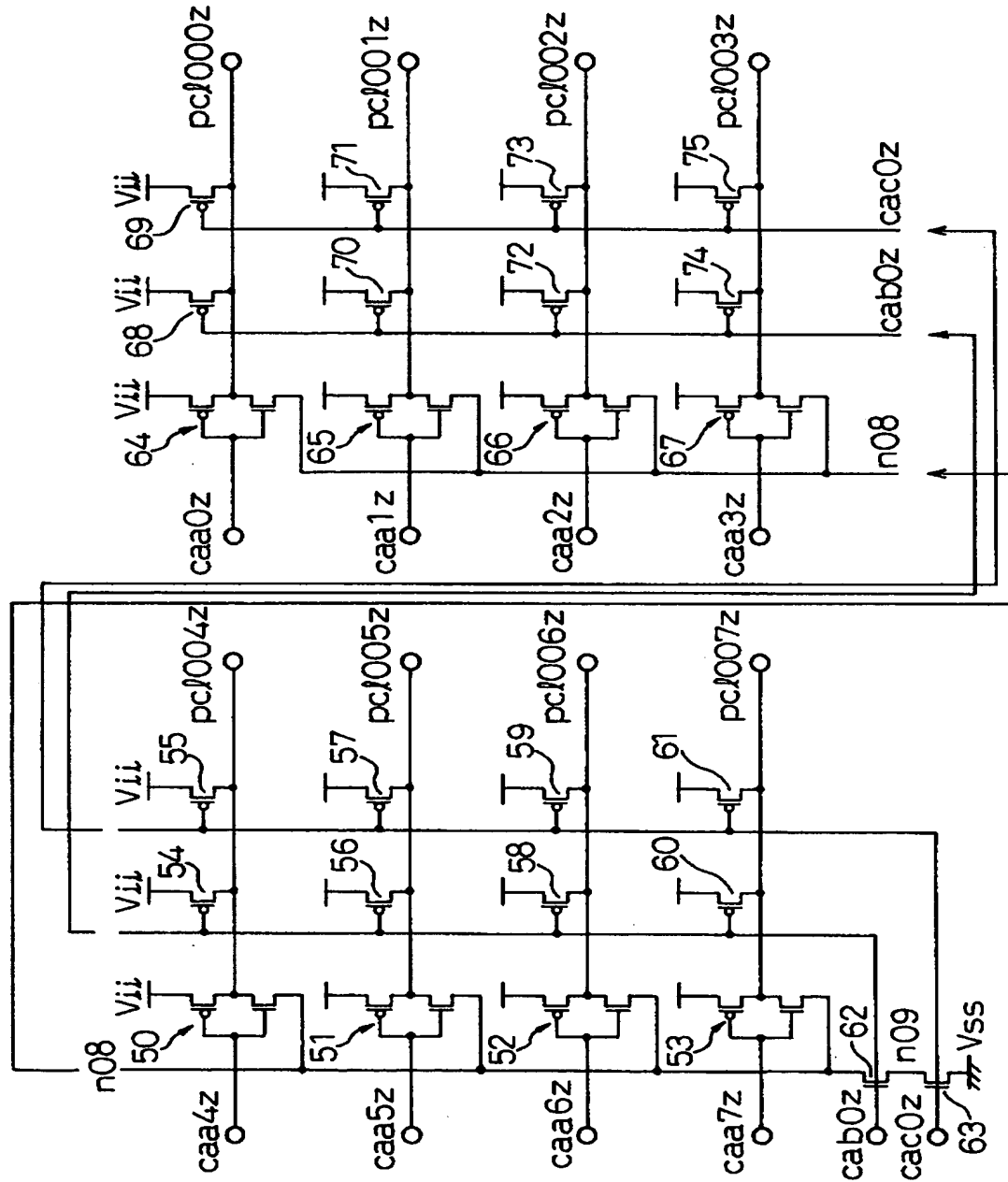
図 6

本発明の第 1 の実施例におけるシフト制御回路の構成を示す回路図



【図 7】

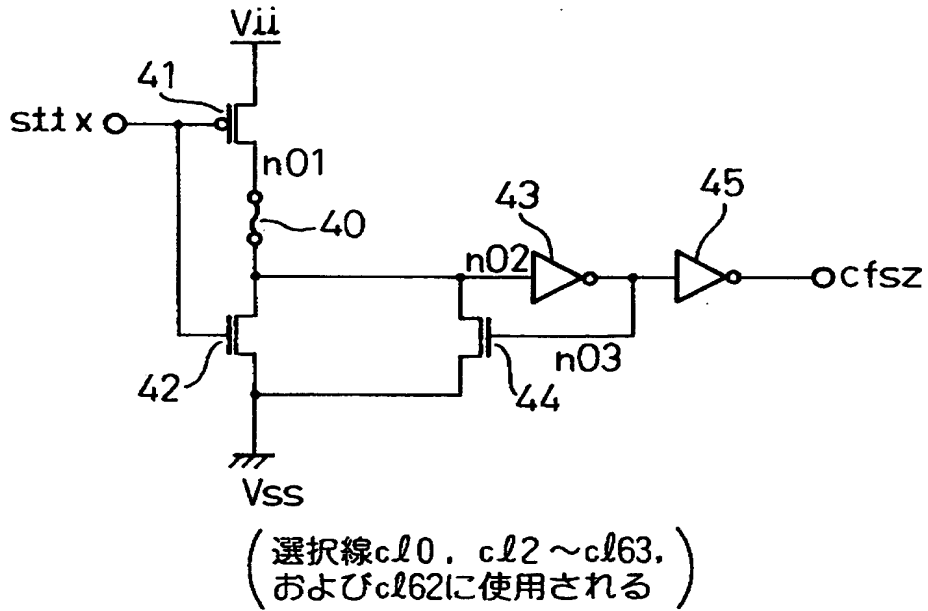
図 7 本発明の第 1 の実施例におけるデコーダ回路の構成を示す回路図



【図 8】

図 8

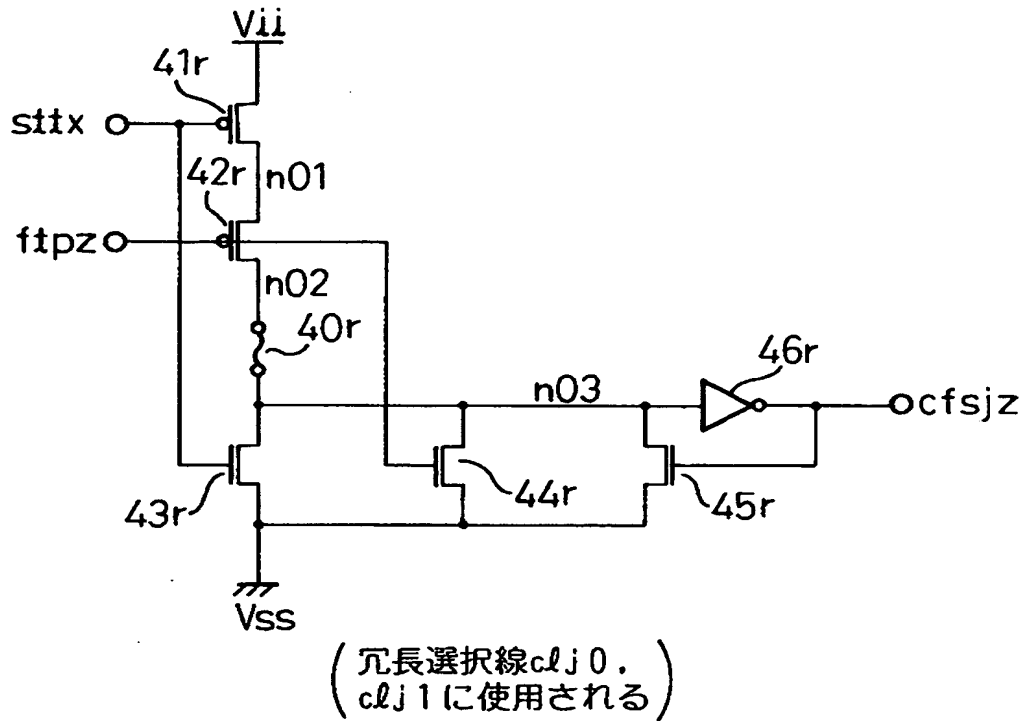
本発明の第 1 の実施例における通常選択用のヒューズ回路の構成を示す回路図



【図 9】

図 9

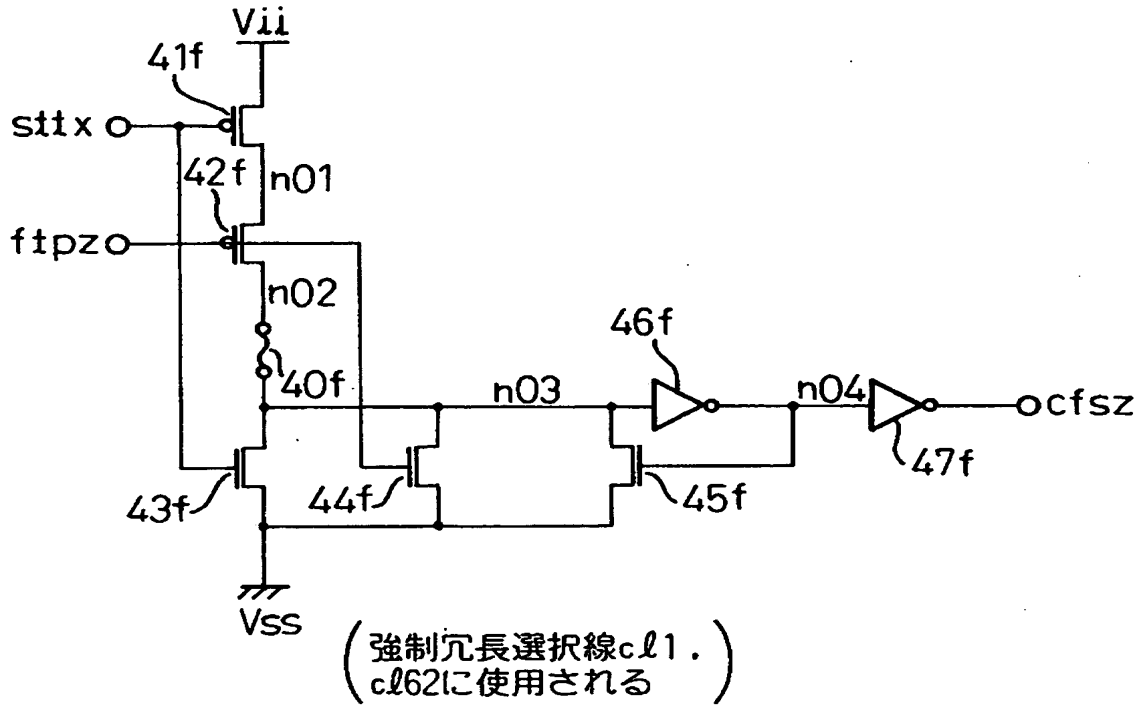
本発明の第 1 の実施例における冗長選択用ヒューズ回路の構成を示す回路図



【図 10】

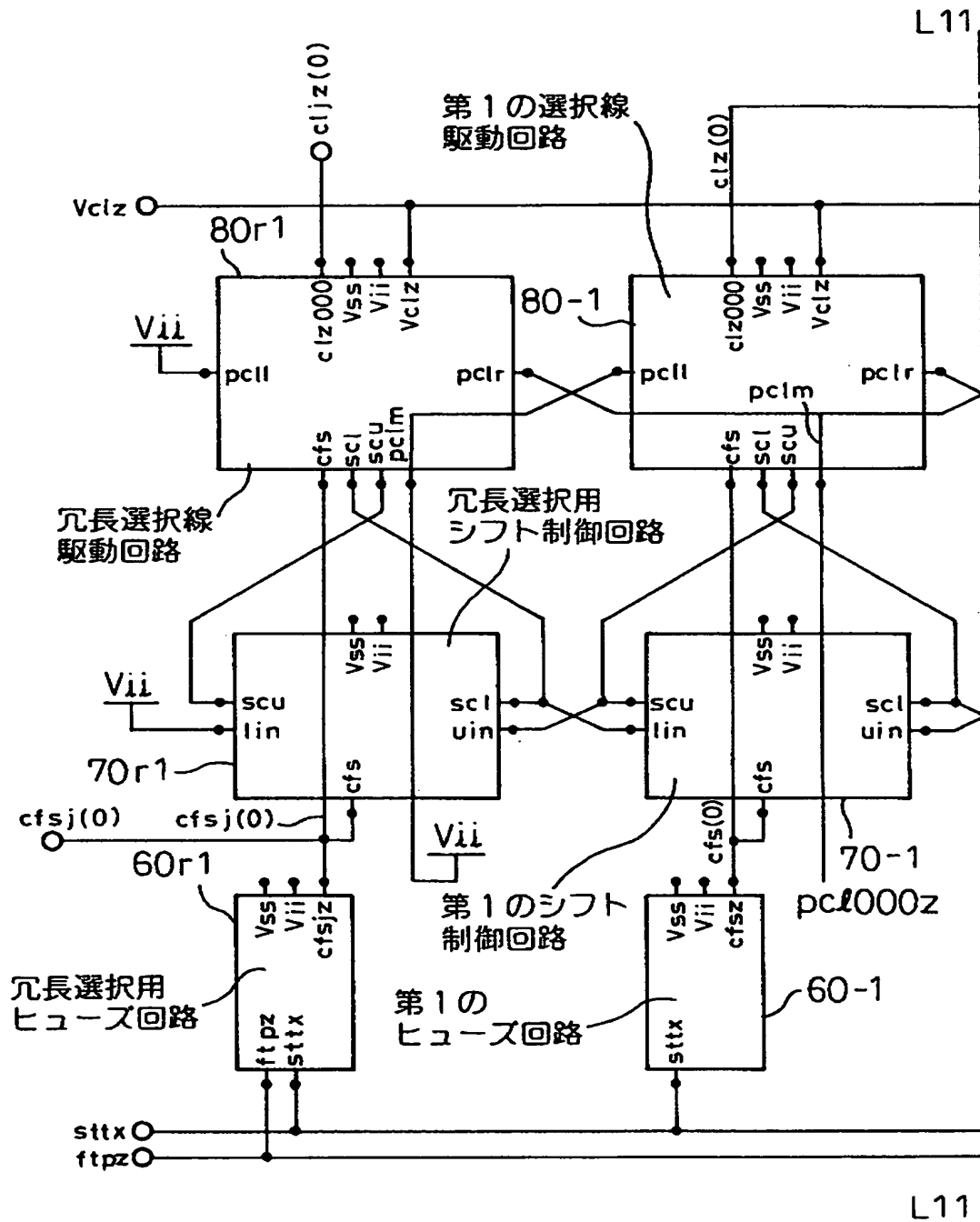
図 10

本発明の第 1 の実施例における強制冗長用ヒューズ回路の構成を示す回路図



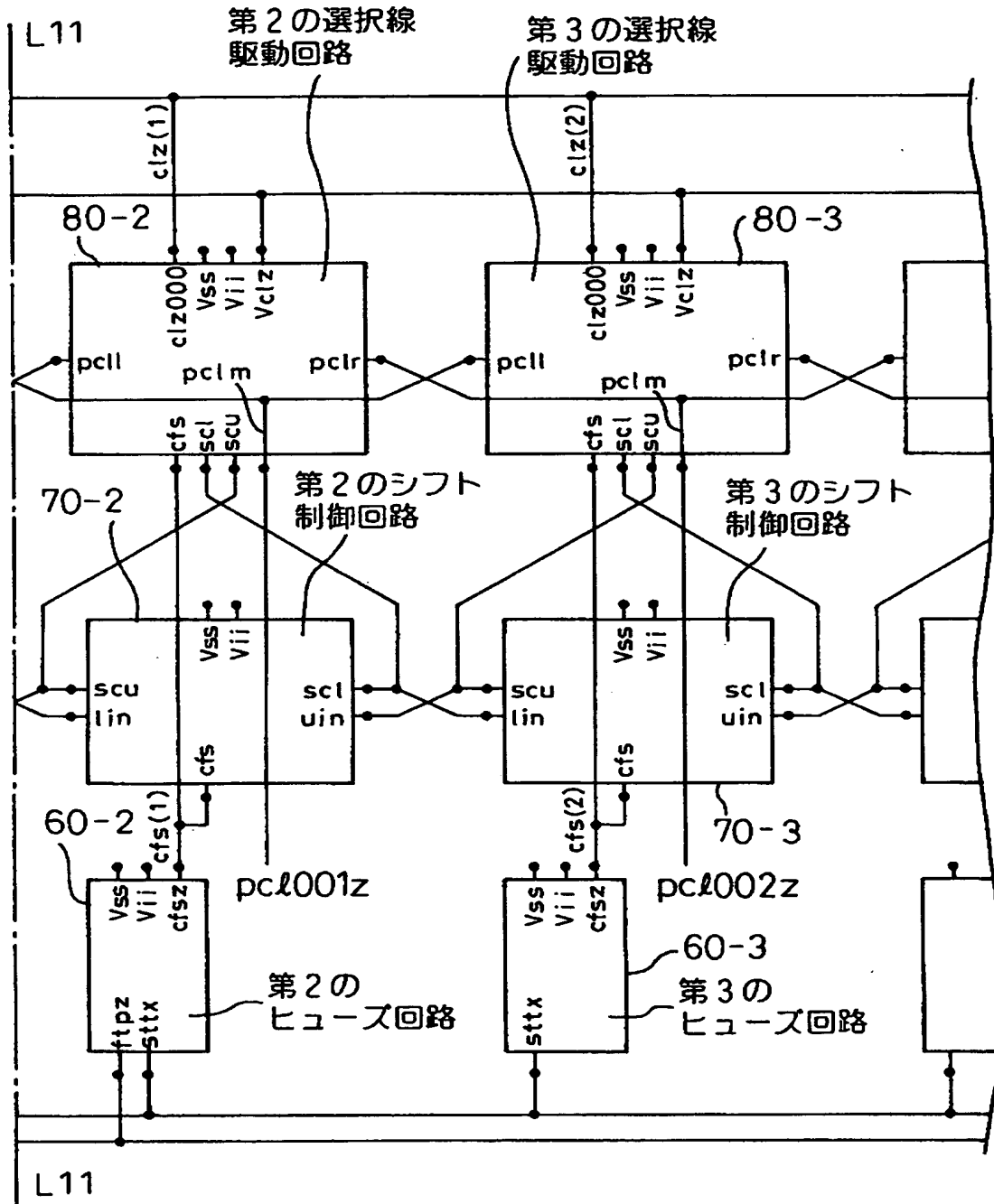
【図 11】

図 11 本発明の第 1 の実施例における各回路間のつながりを示す回路図 (その 1)



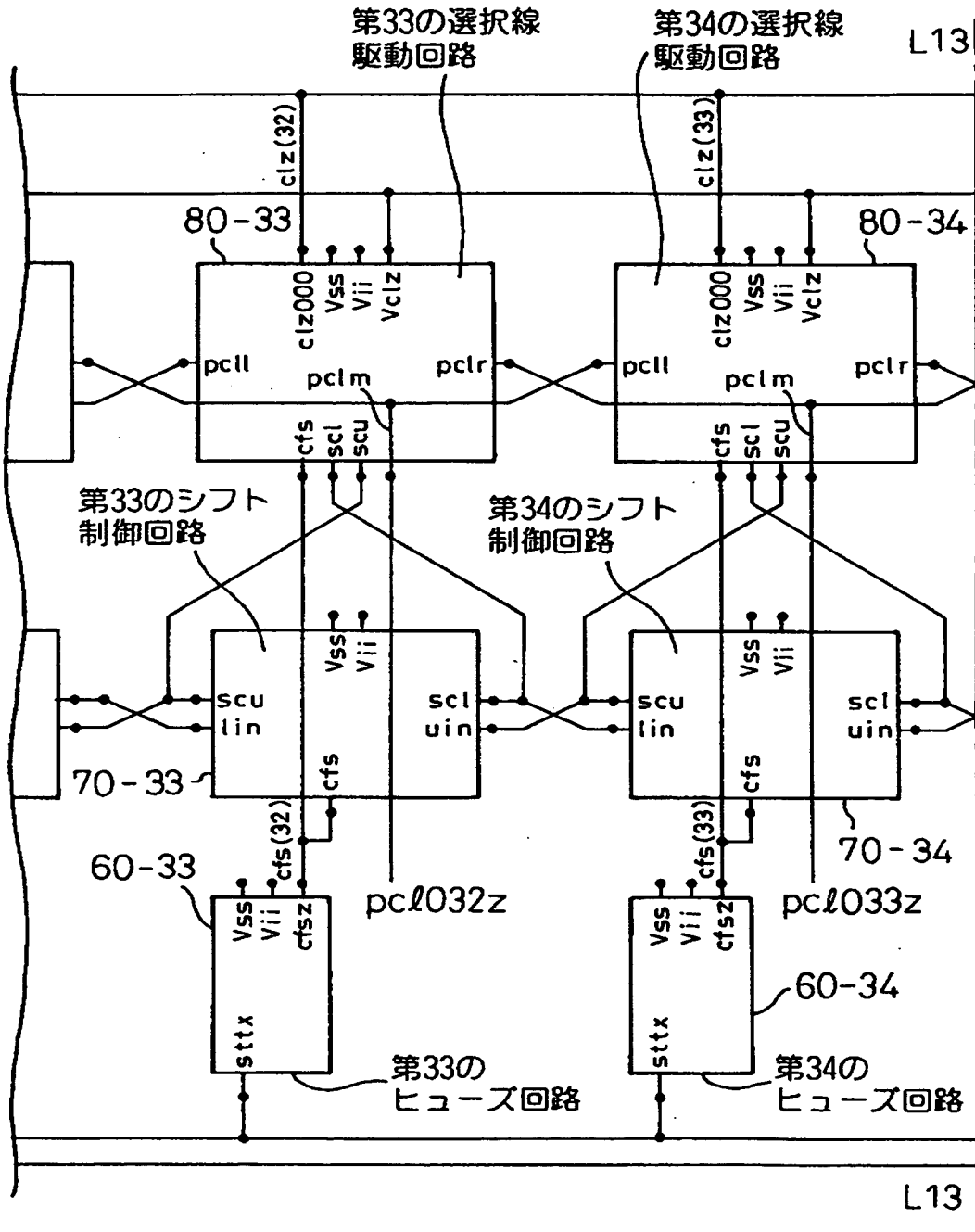
【図 12】

図 12 本発明の第 1 の実施例における各回路間のつながりを示す回路図（その 2）



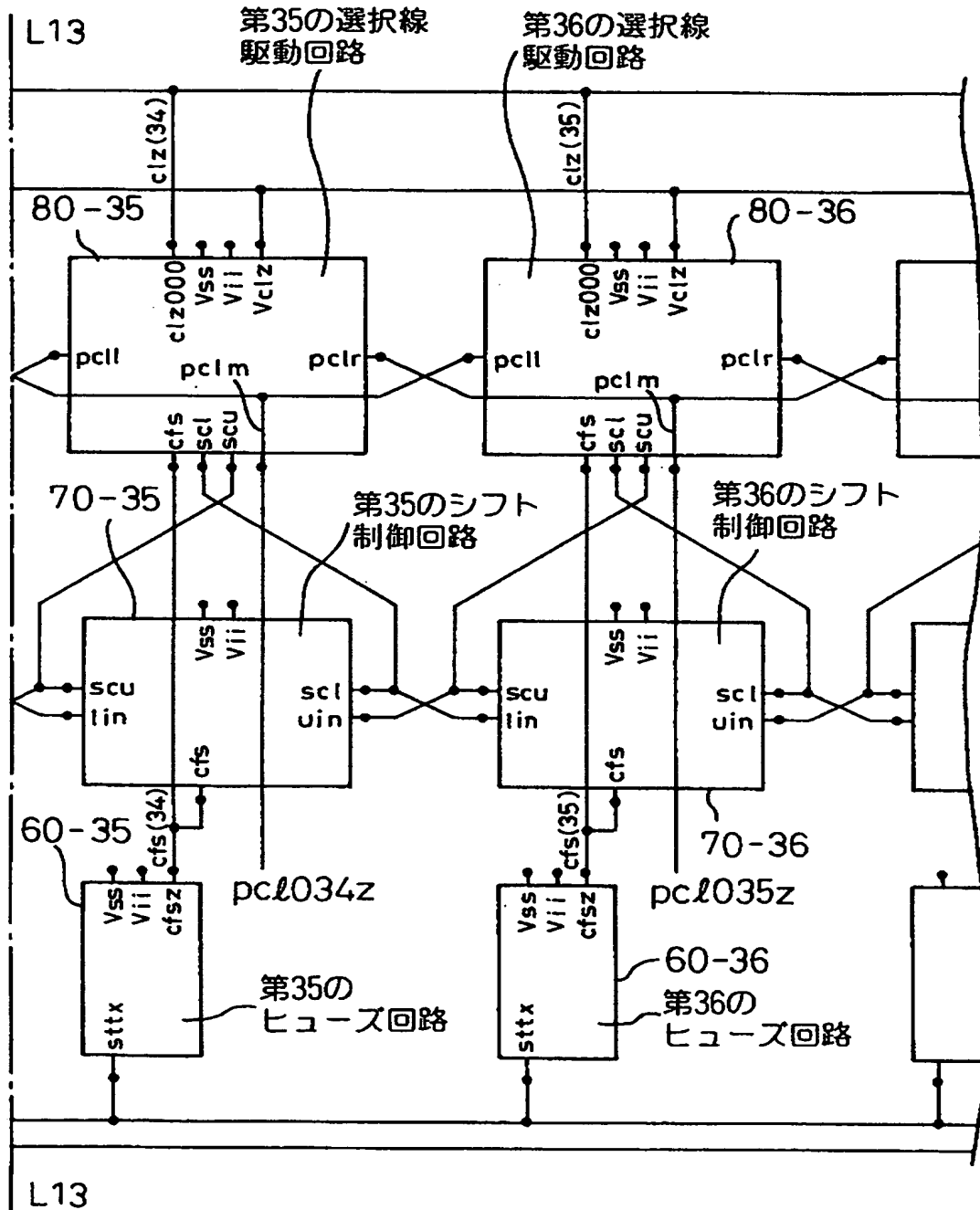
【図 13】

図 13 本発明の第 1 の実施例における各回路間のつながりを示す回路図（その 3）



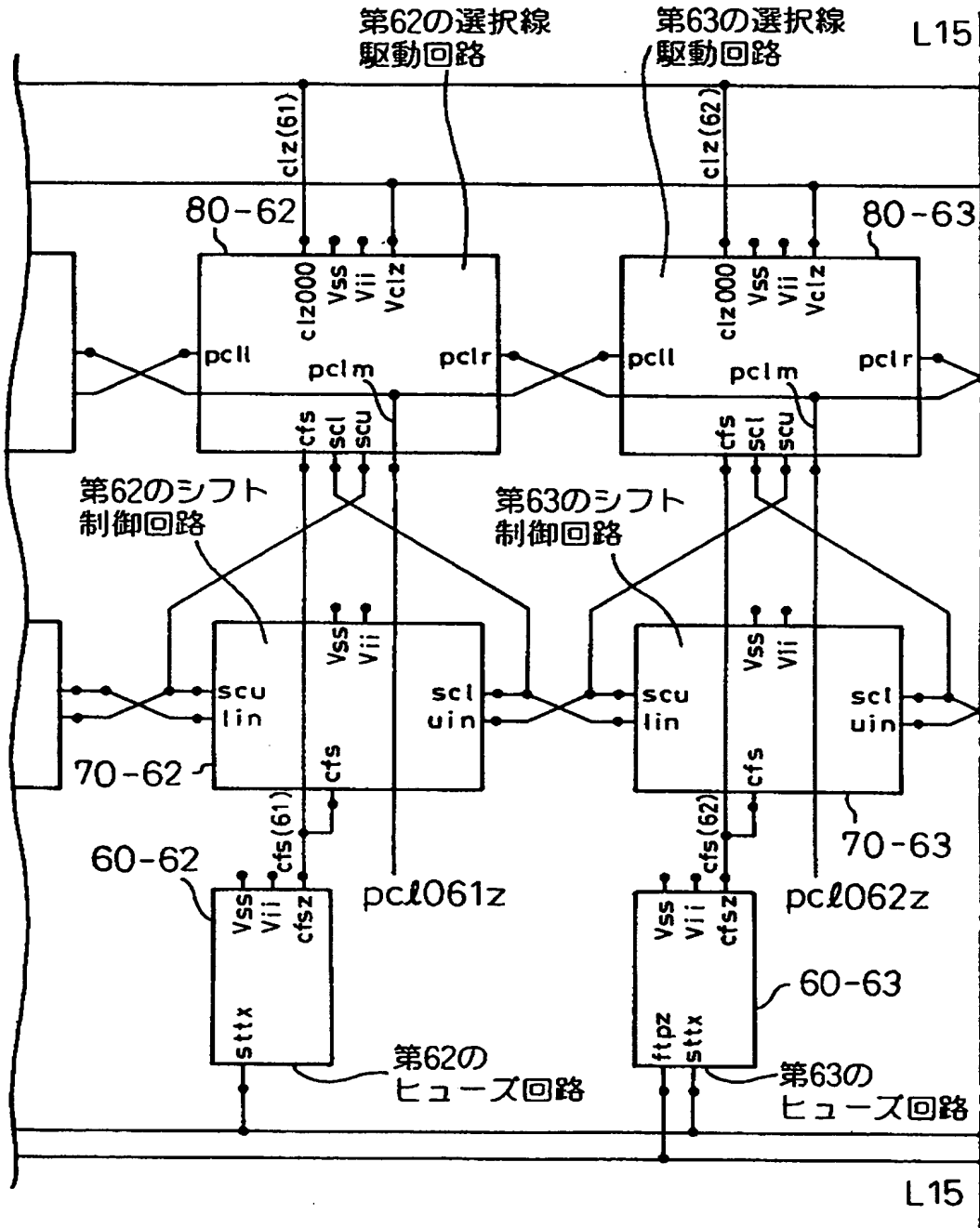
【図 14】

図 14 本発明の第 1 の実施例における各回路間のつながりを示す回路図（その 4）



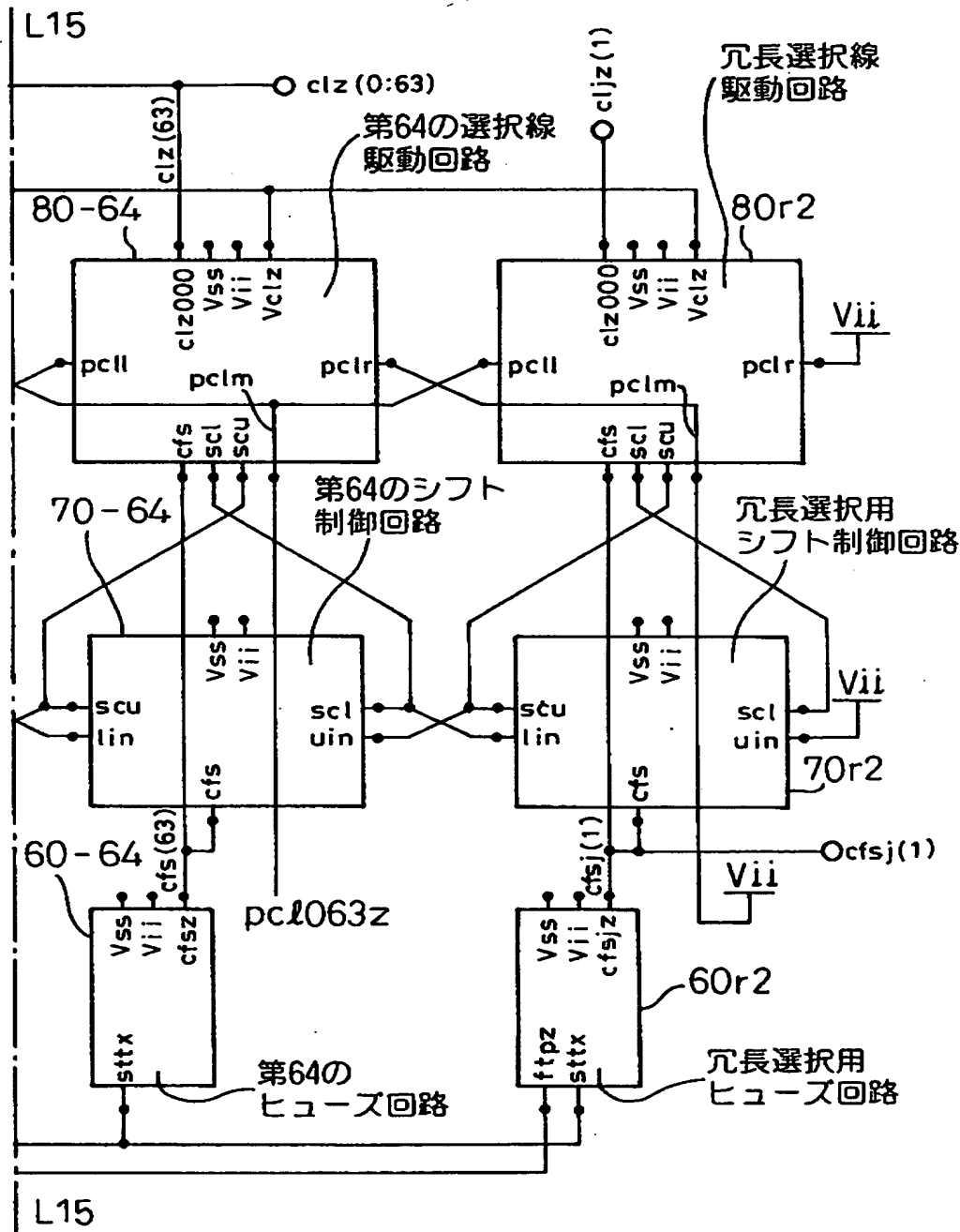
【図 15】

図 15 本発明の第 1 の実施例における各回路間のつながりを示す回路図（その 5）



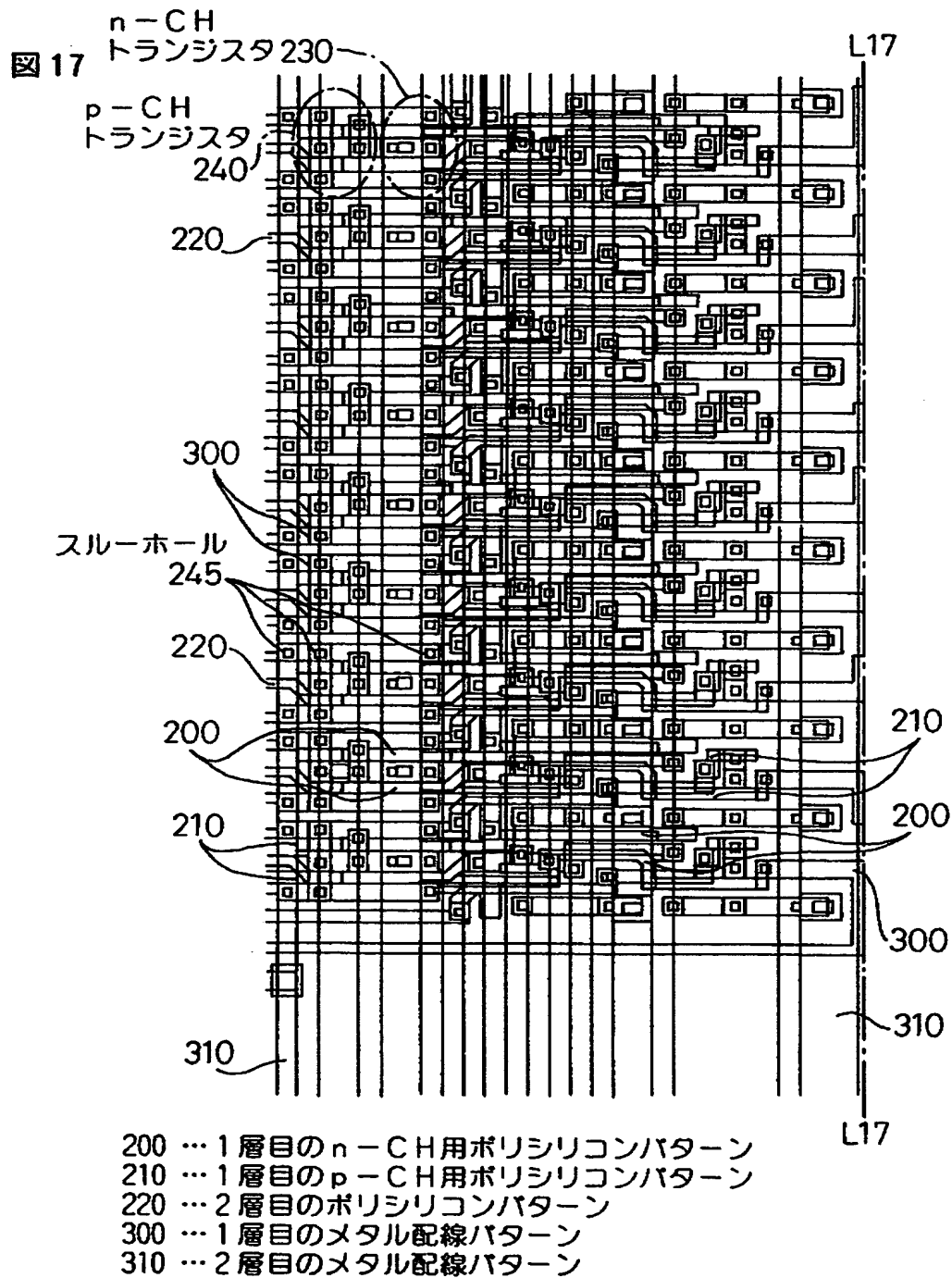
【図 16】

図 16 本発明の第 1 の実施例における各回路間のつながりを示す回路図（その 6）



【図 17】

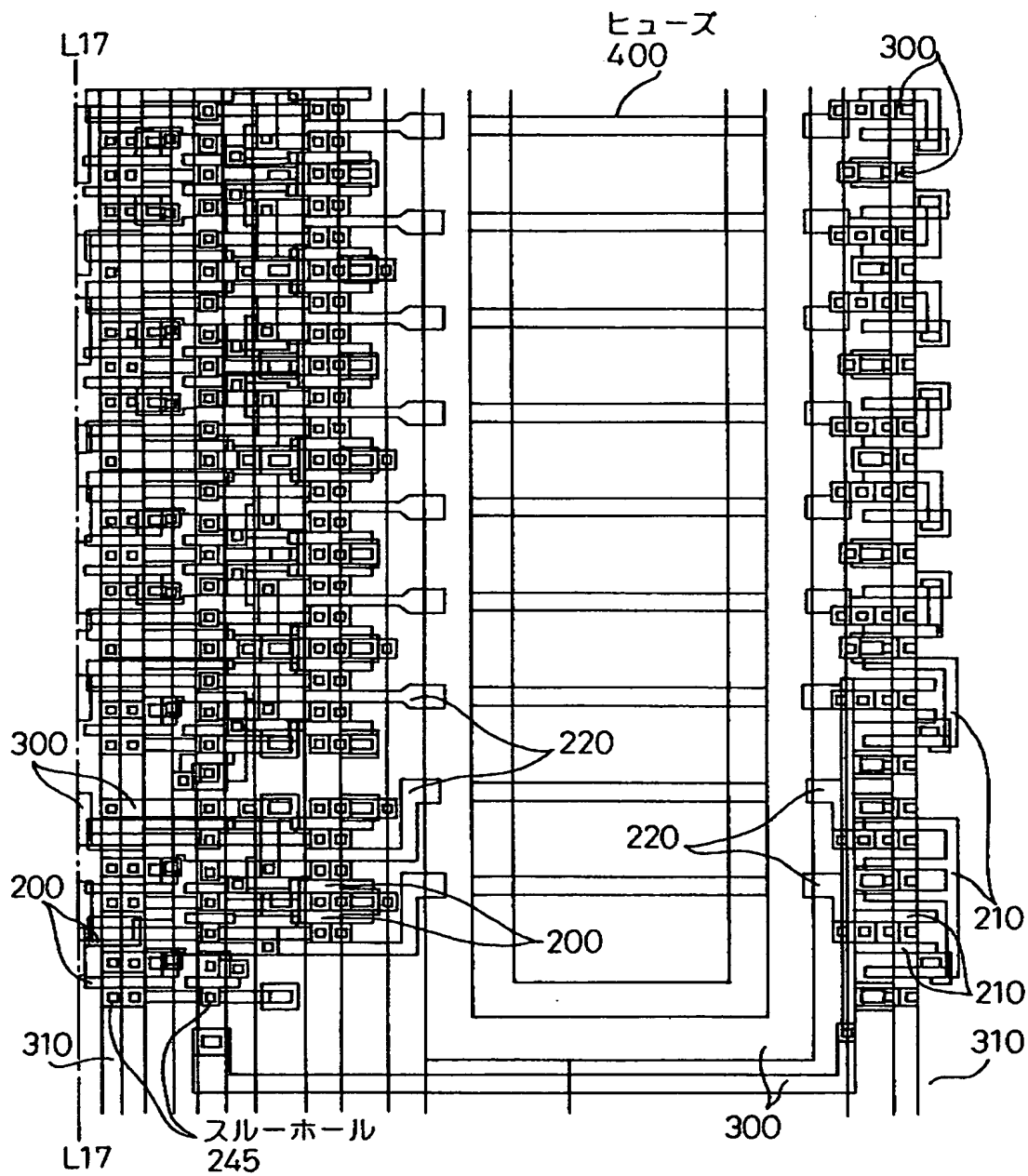
本発明の第 1 の実施例におけるシフト制御回路の回路レイアウトを示す図



【図 18】

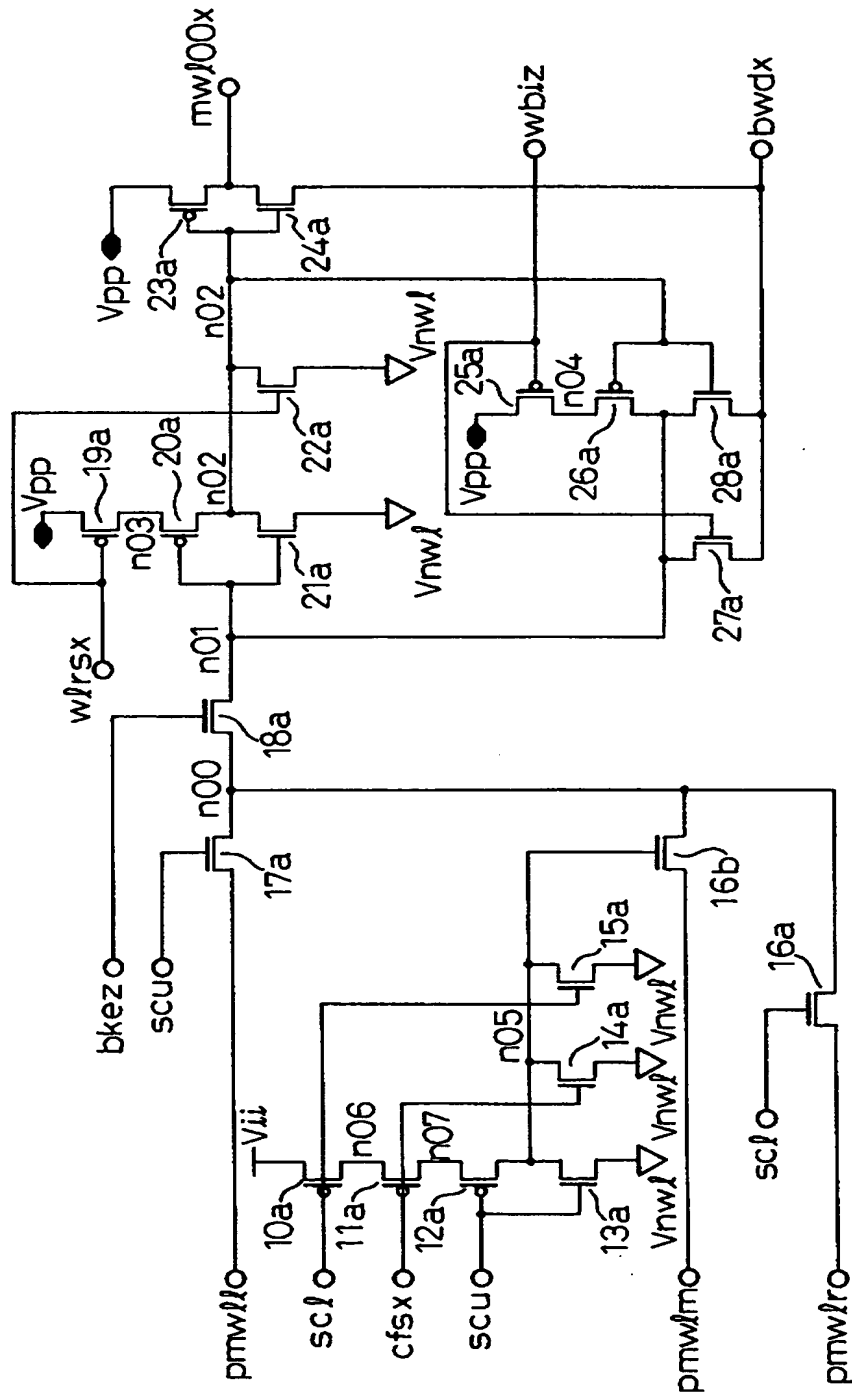
図 18

本発明の第 1 の実施例におけるヒューズ回路の回路レイアウトを示す図



【図 19】

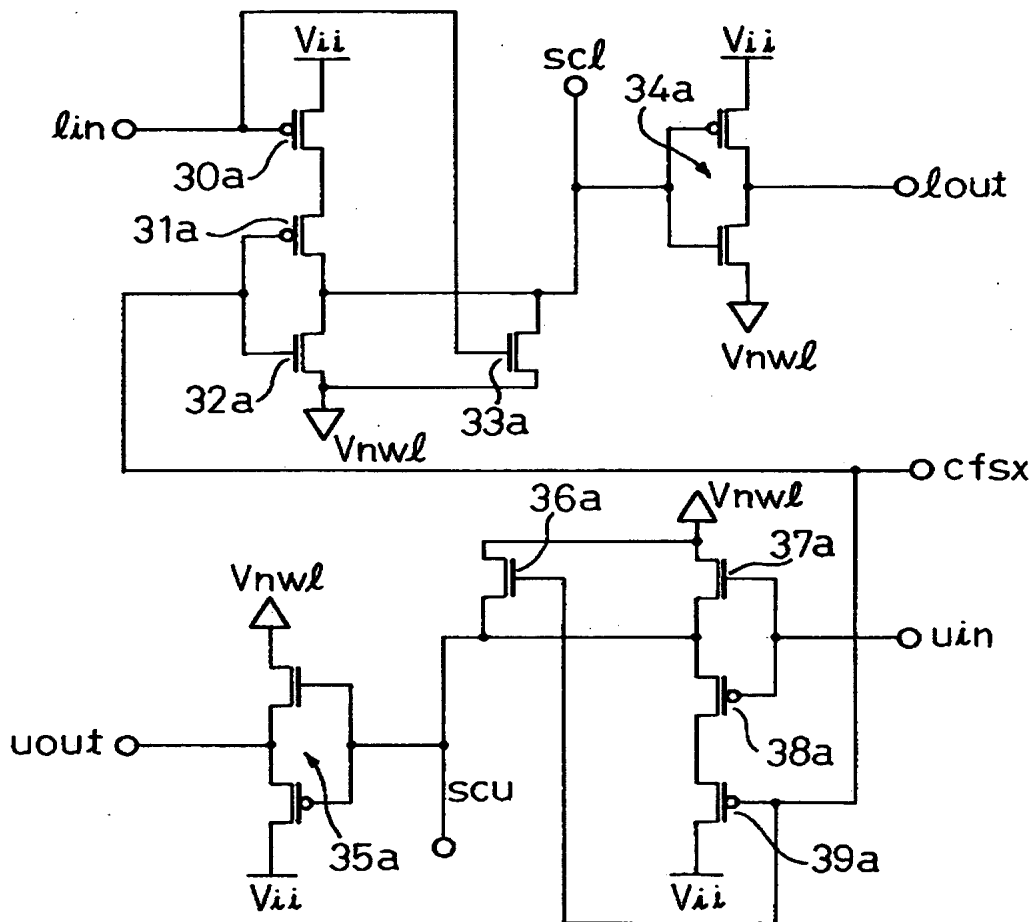
図 19 本発明の第 2 の実施例における選択線駆動回路の構成を示す回路図



【図 20】

図 20

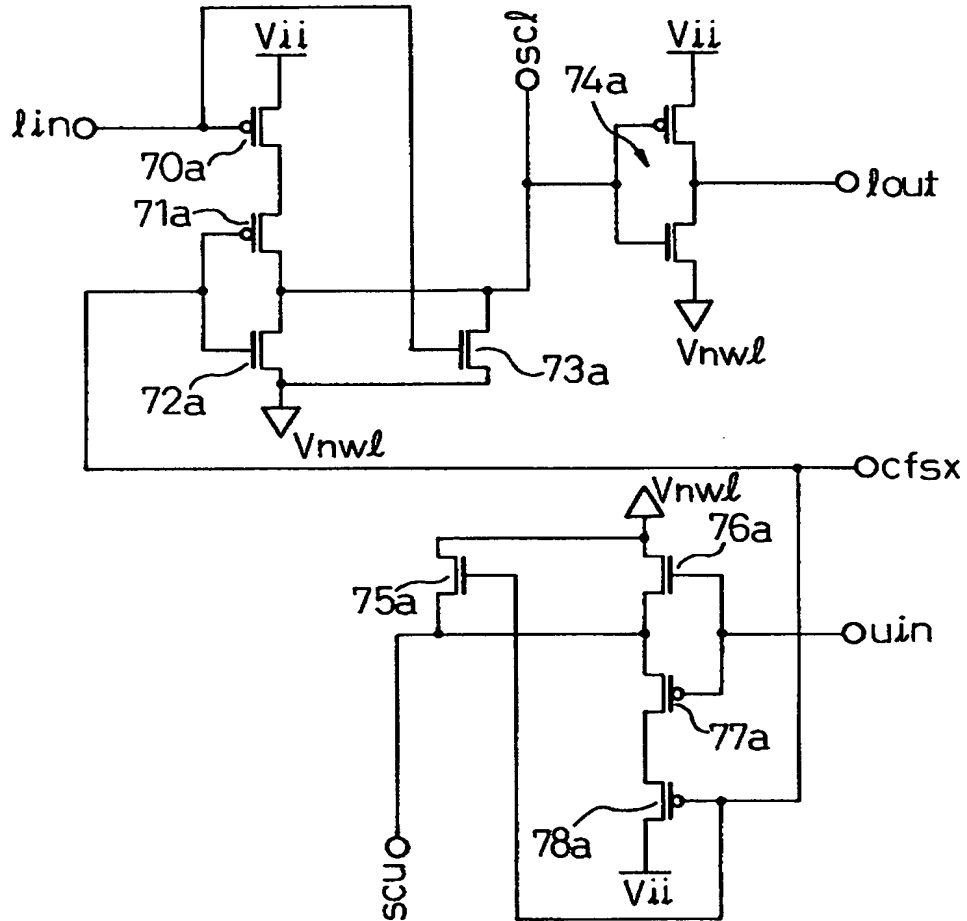
本発明の第 2 の実施例における通常選択用のシフト制御回路の構成を示す回路図



【図 21】

図 21

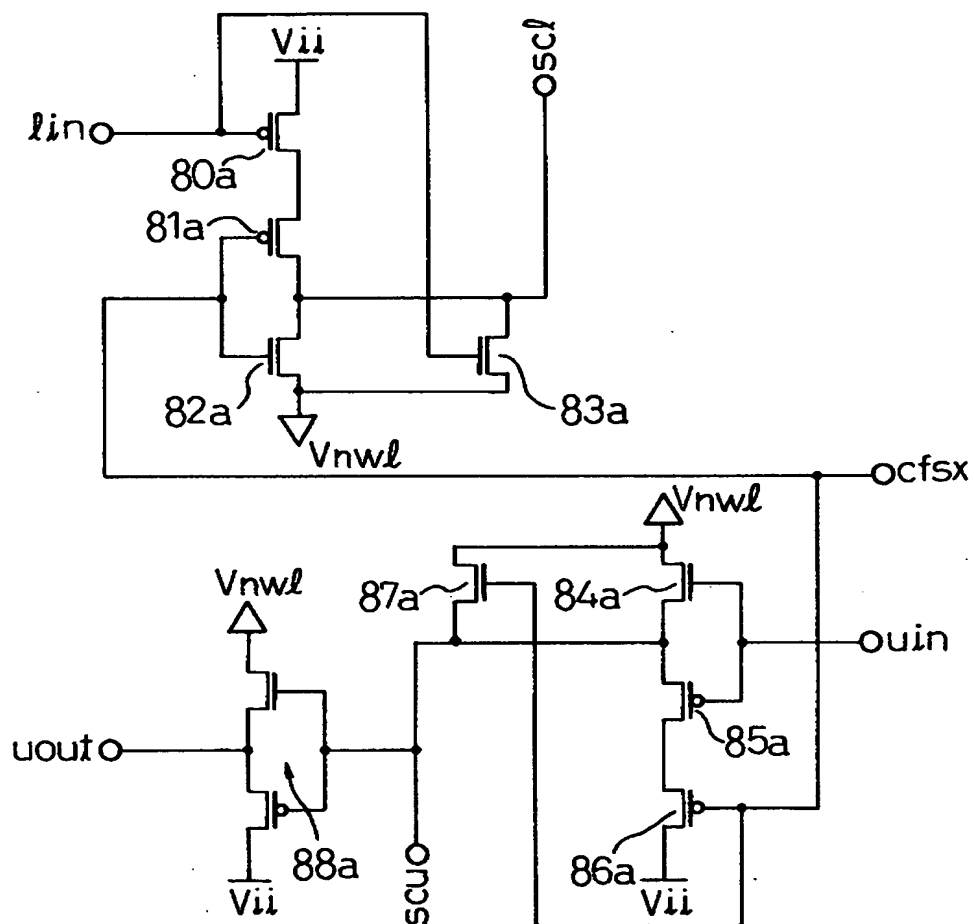
本発明の第 2 の実施例における左端用冗長シフト
制御回路の構成を示す回路図



【図 22】

図 22

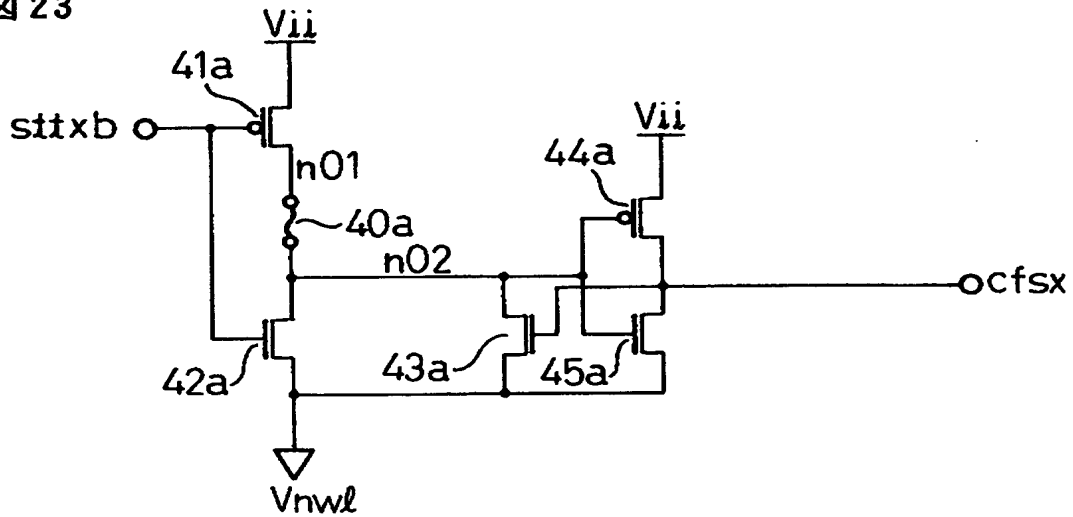
本発明の第 2 の実施例における右端用冗長シフト
制御回路の構成を示す回路図



【図 23】

本発明の第 2 の実施例における通常選択用のヒューズ回路の構成を示す回路図

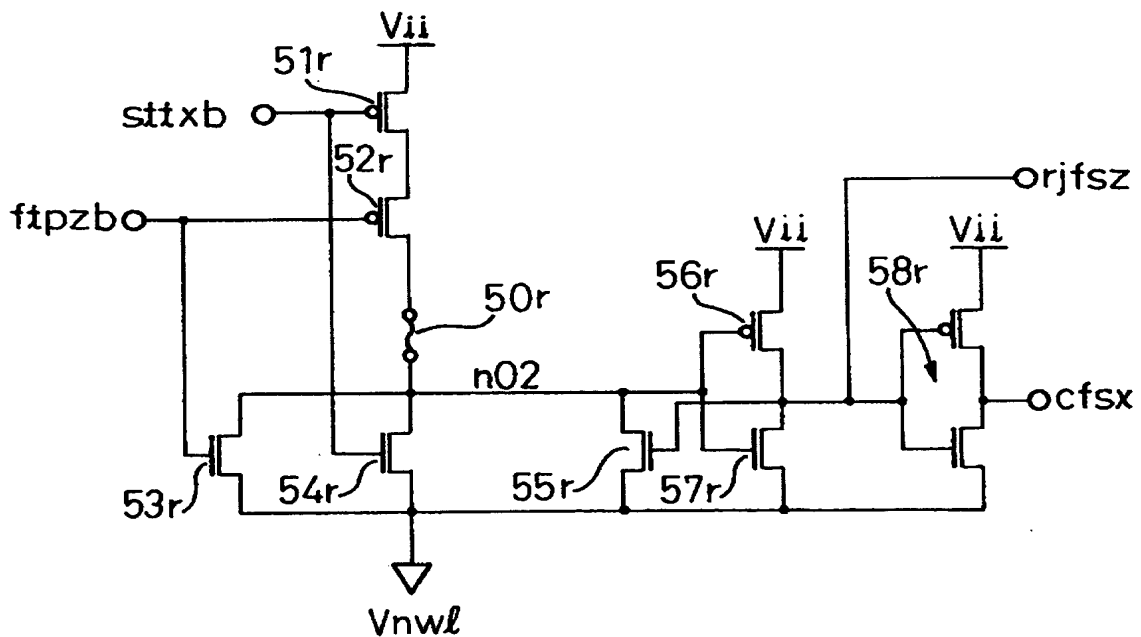
図 23



【図 24】

図 24

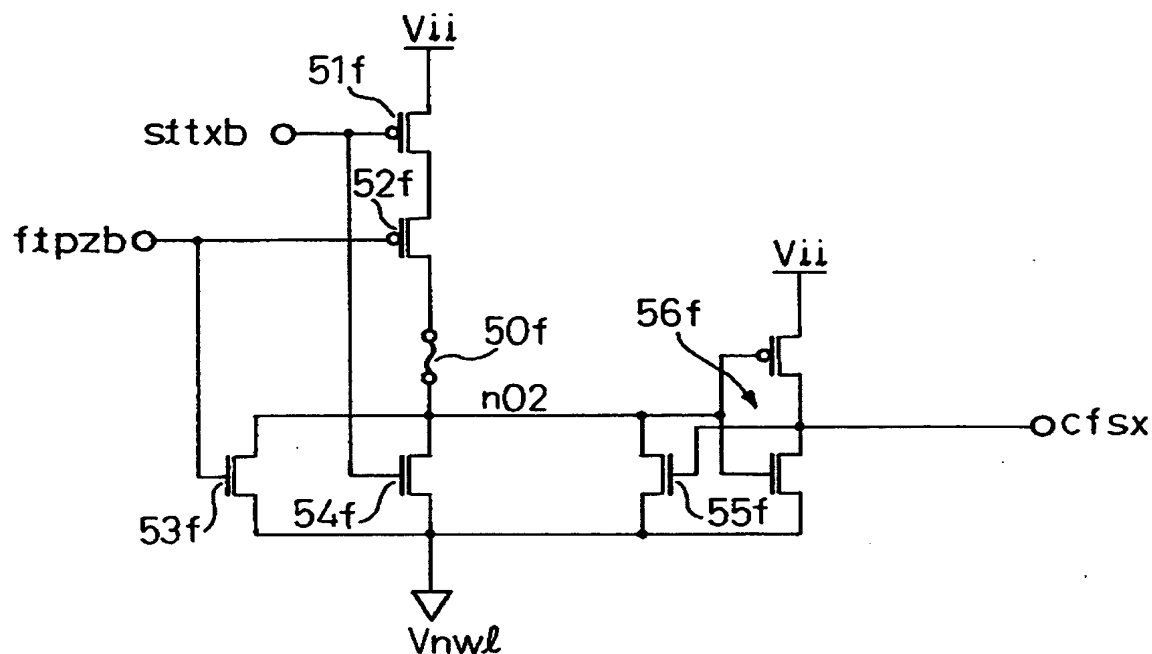
本発明の第 2 の実施例における冗長選択用ヒューズ回路の構成を示す回路図



【図 25】

図 25

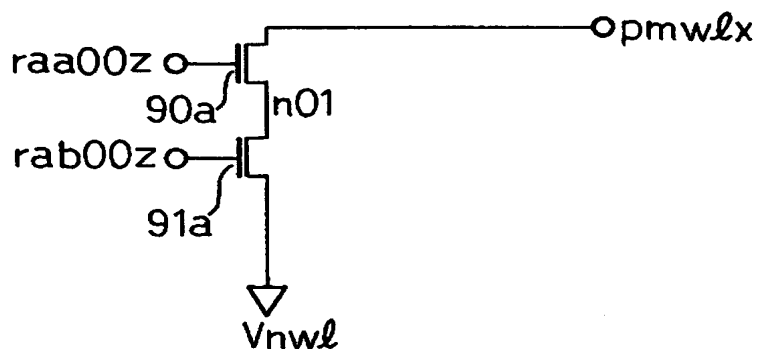
本発明の第 2 の実施例における強制冗長用ヒューズ回路の構成を示す回路図



【図 26】

図 26

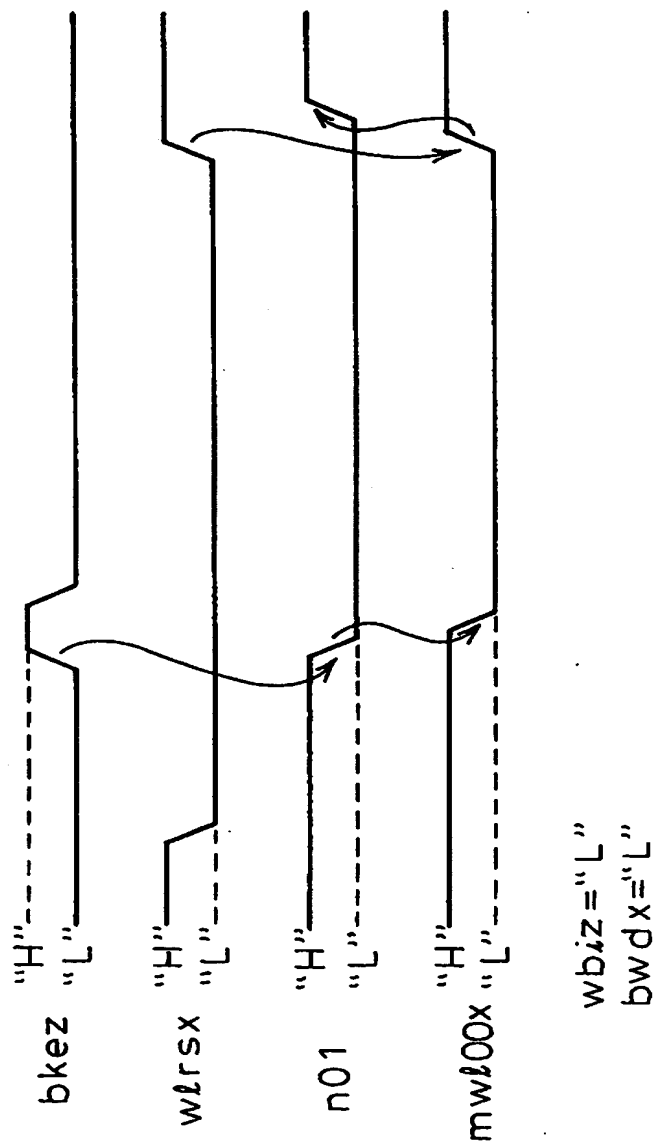
本発明の第 2 の実施例におけるデコーダ回路の構成を示す回路図



【図 27】

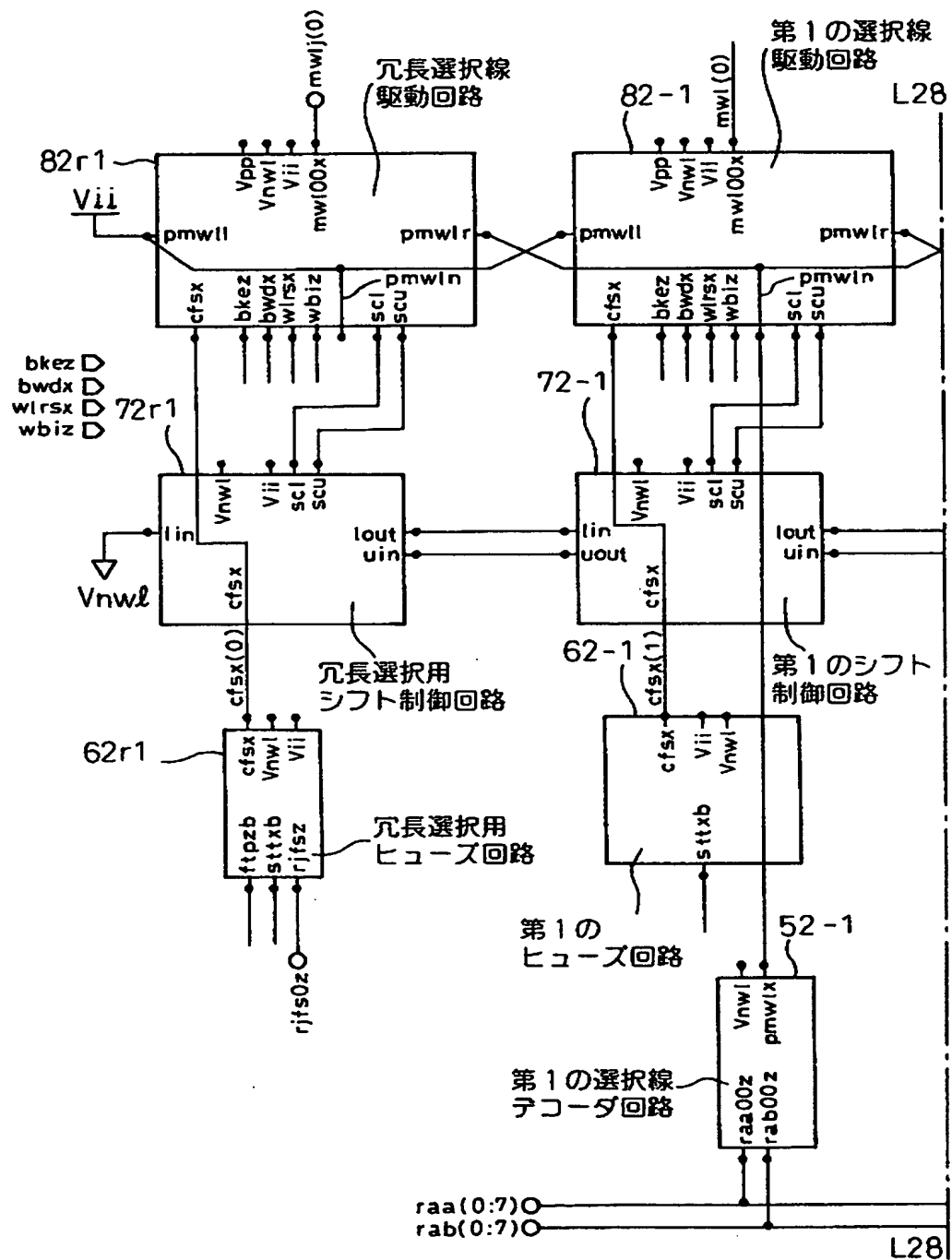
図 27

図19の選択線駆動回路の動作を説明するための
タイミングチャート



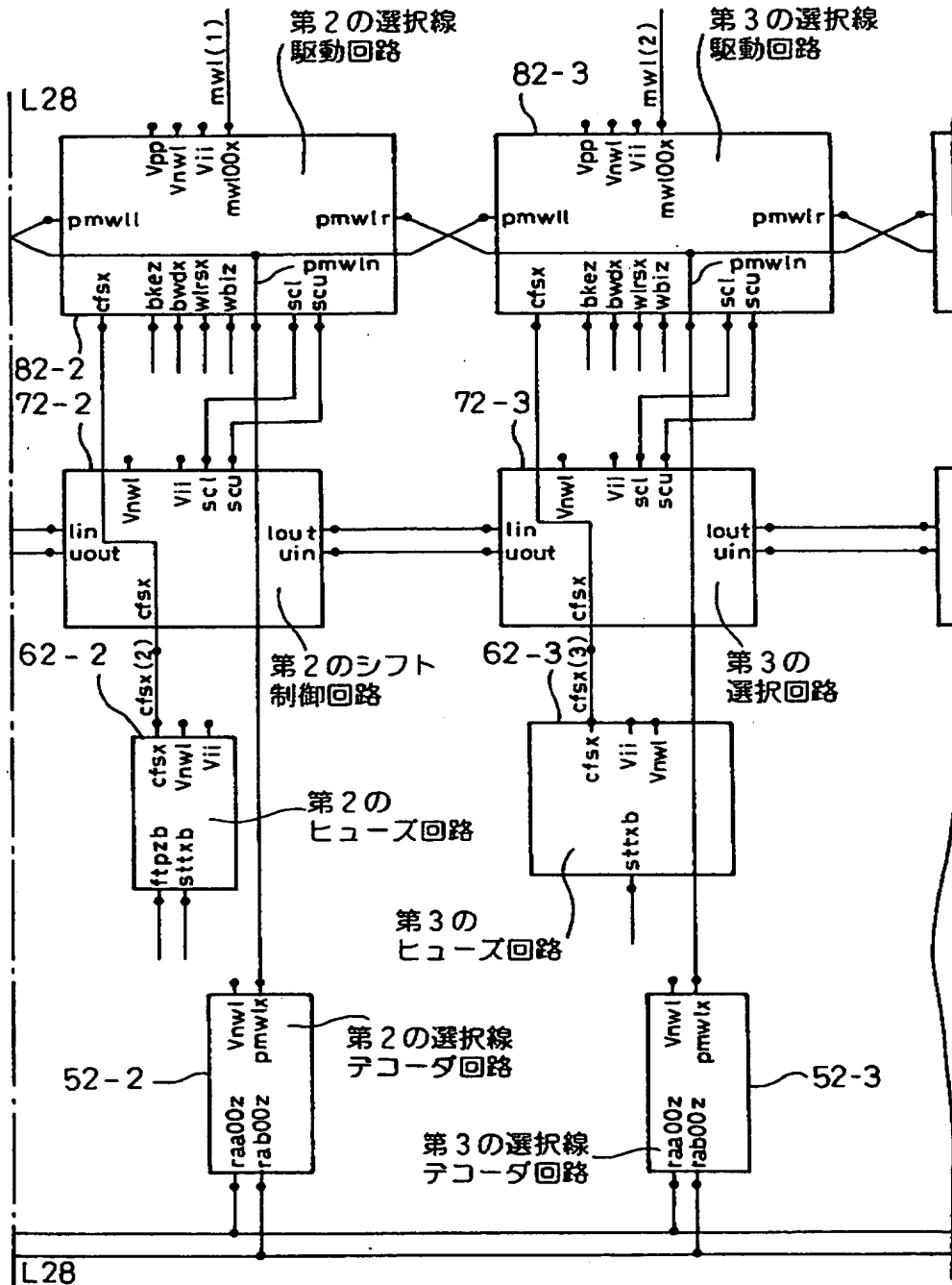
【图 28】

図 28 本発明の第 2 の実施例における各回路間のつながりを示す回路図（その 1）



【図 29】

図 29 本発明の第 2 の実施例における各回路間のつながりを示す回路図 (その 2)



【図 30】

図 30 本発明の第 2 の実施例における各回路間のつながりを示す回路図 (その 3)

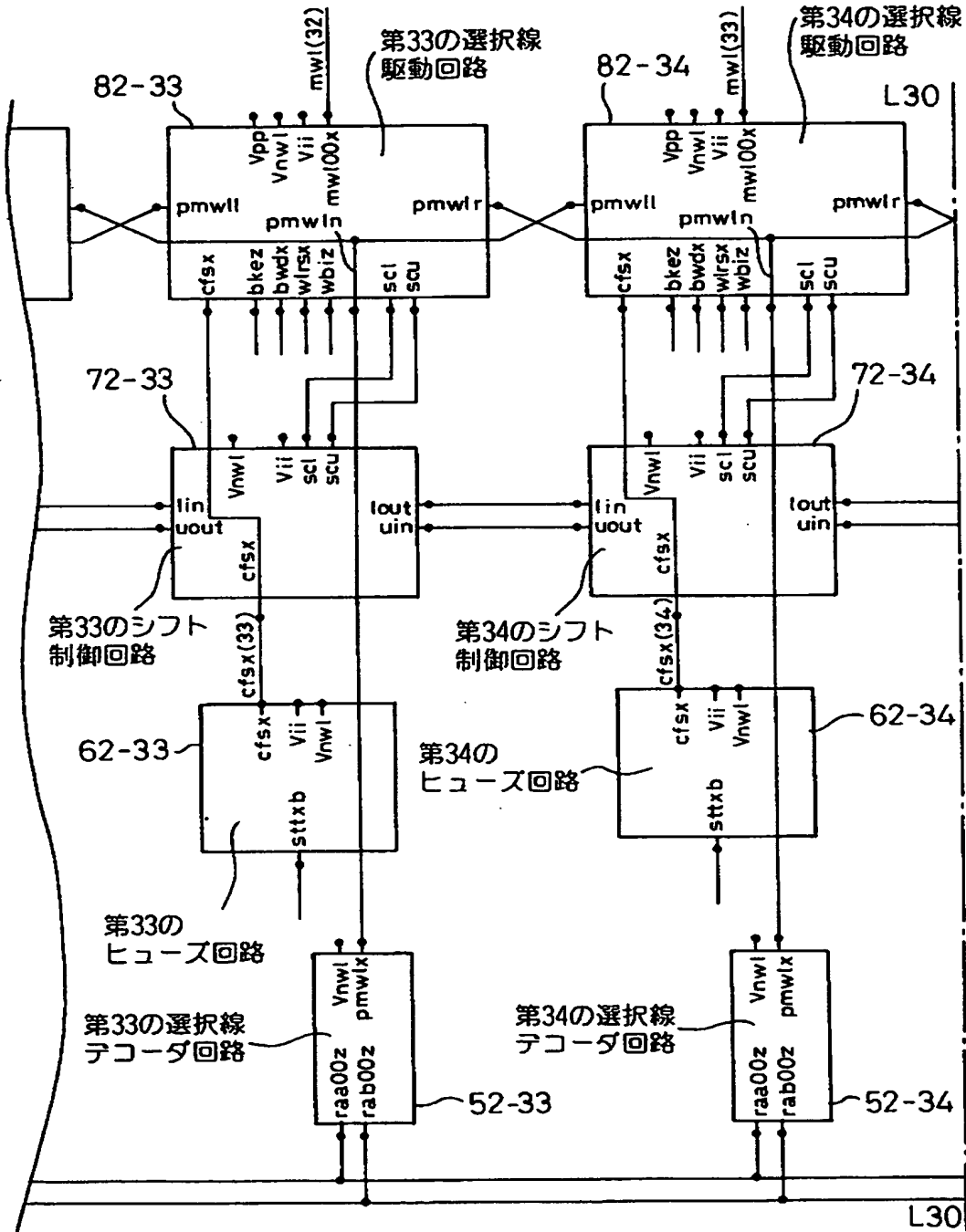
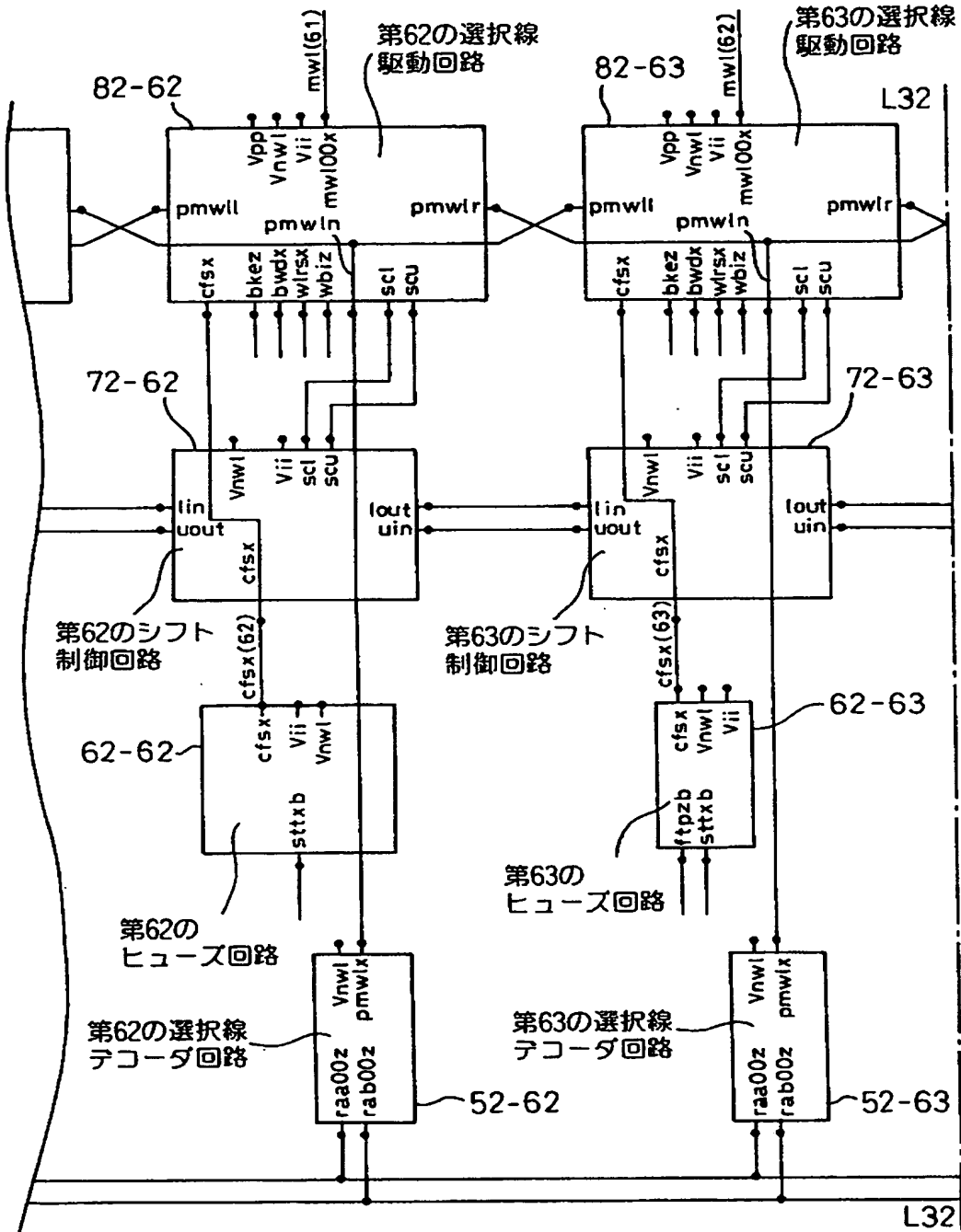


図 31 本発明の第 2 の実施例における各回路間のつながりを示す回路図（その 4）



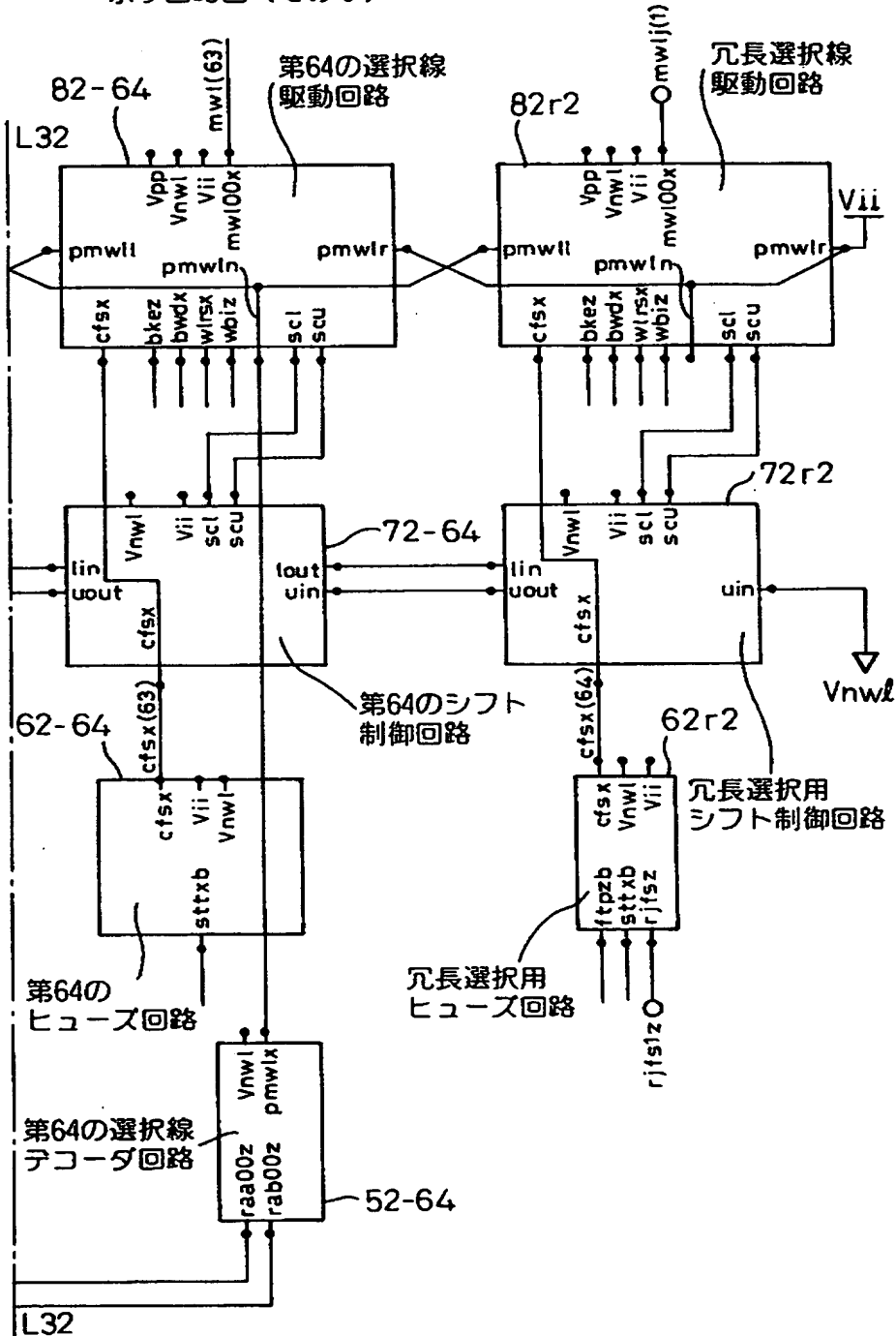
【図 32】

図 32 本発明の第 2 の実施例における各回路間のつながりを示す回路図 (その 5)



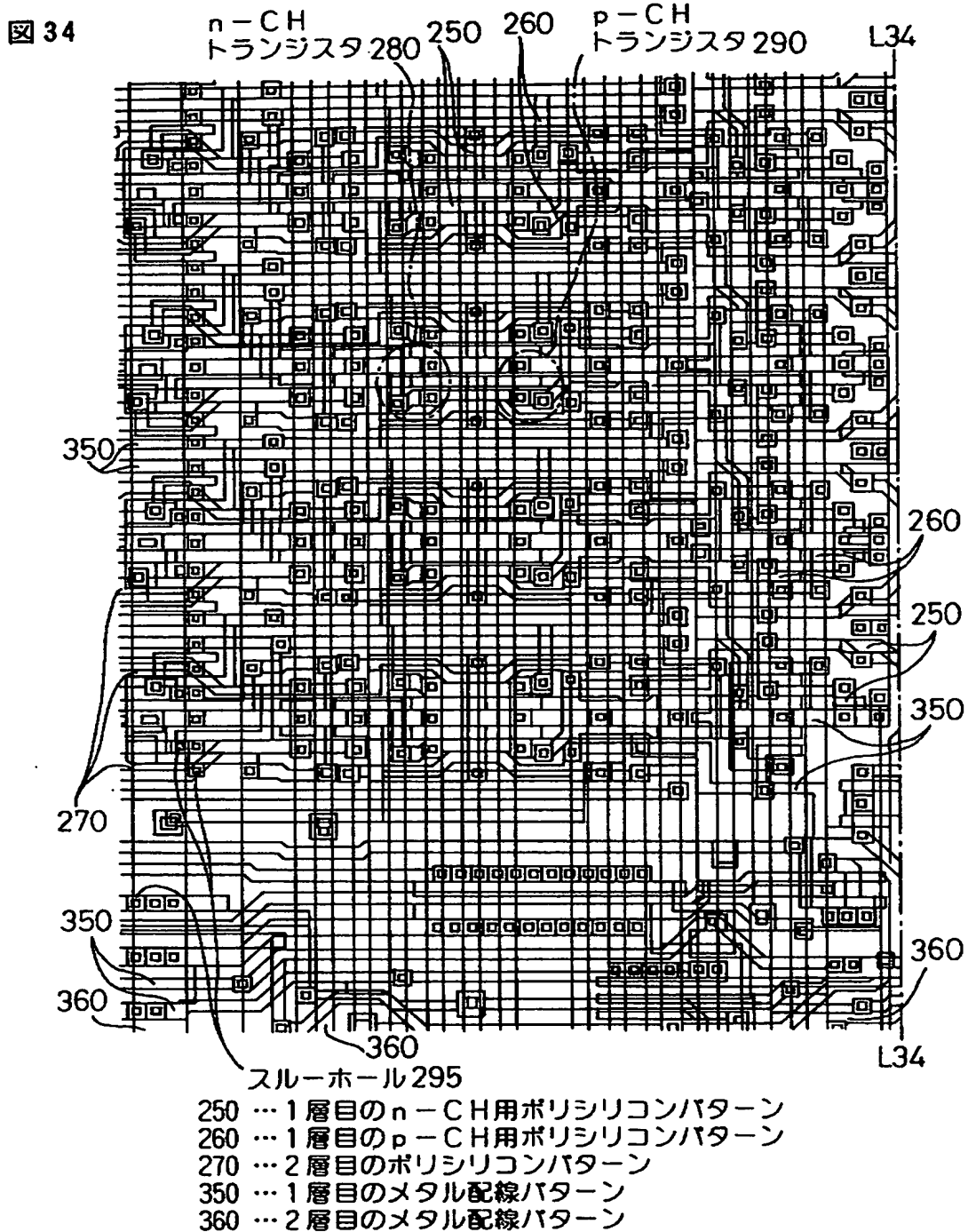
【図 33】

図 33 本発明の第 2 の実施例における各回路間のつながりを示す回路図（その 6）



【図 34】

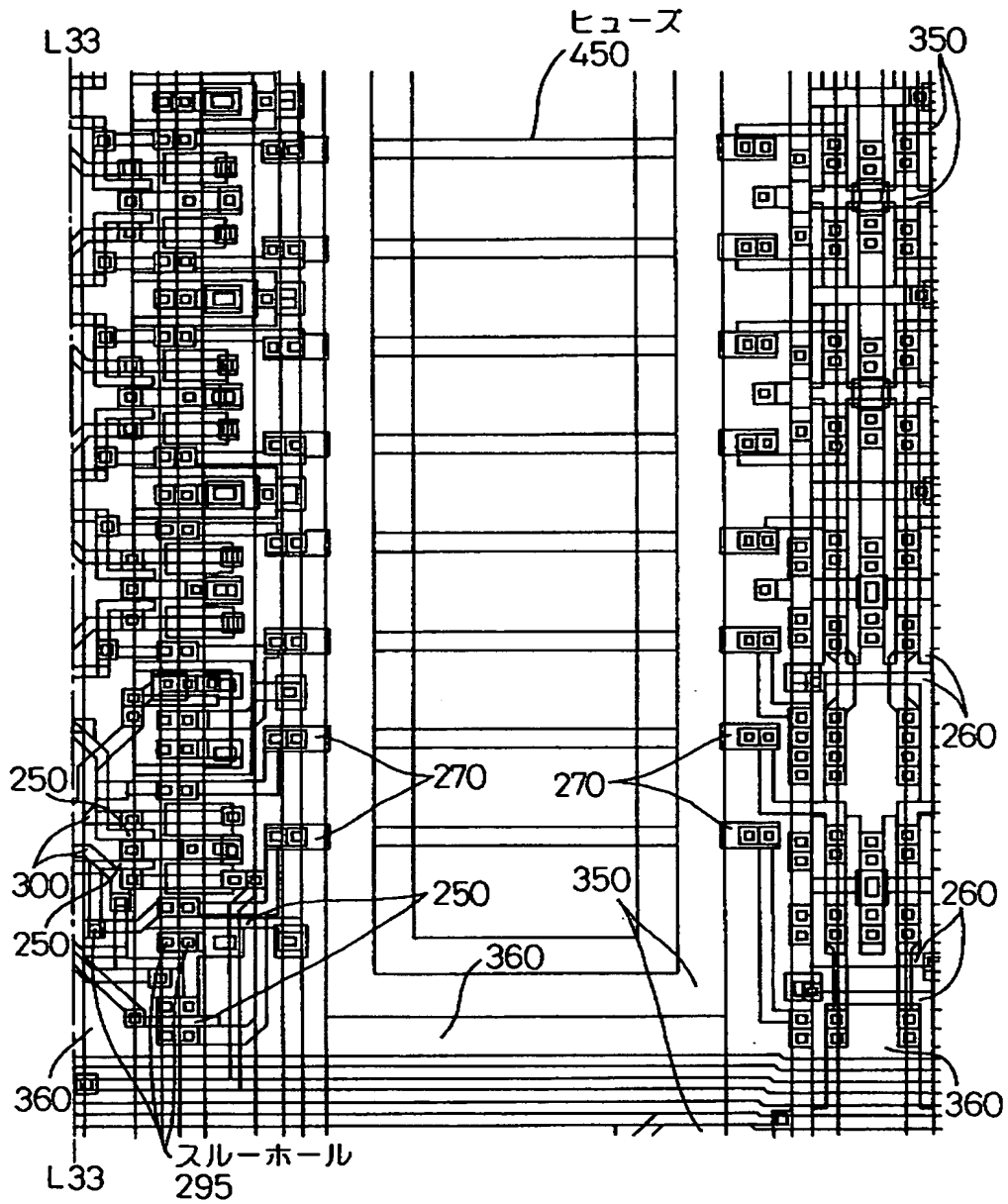
本発明の第 2 の実施例におけるシフト制御回路の回路レイアウトを示す図



【図 35】

図 35

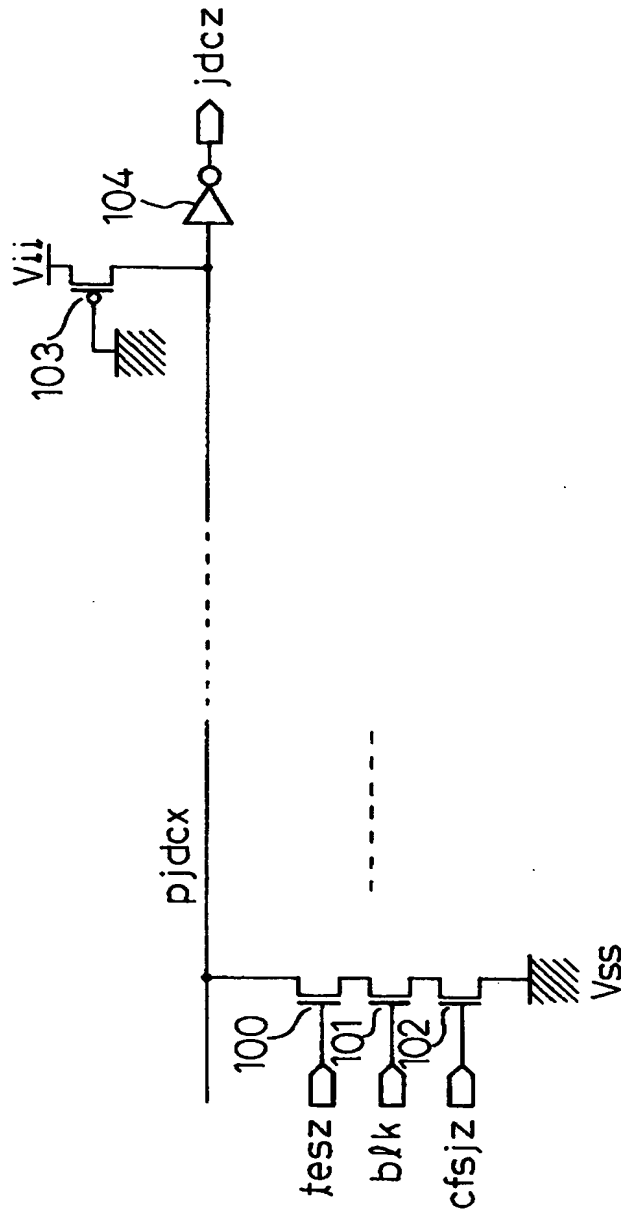
本発明の第 2 の実施例におけるヒューズ回路の回路レイアウトを示す図



【図 36】

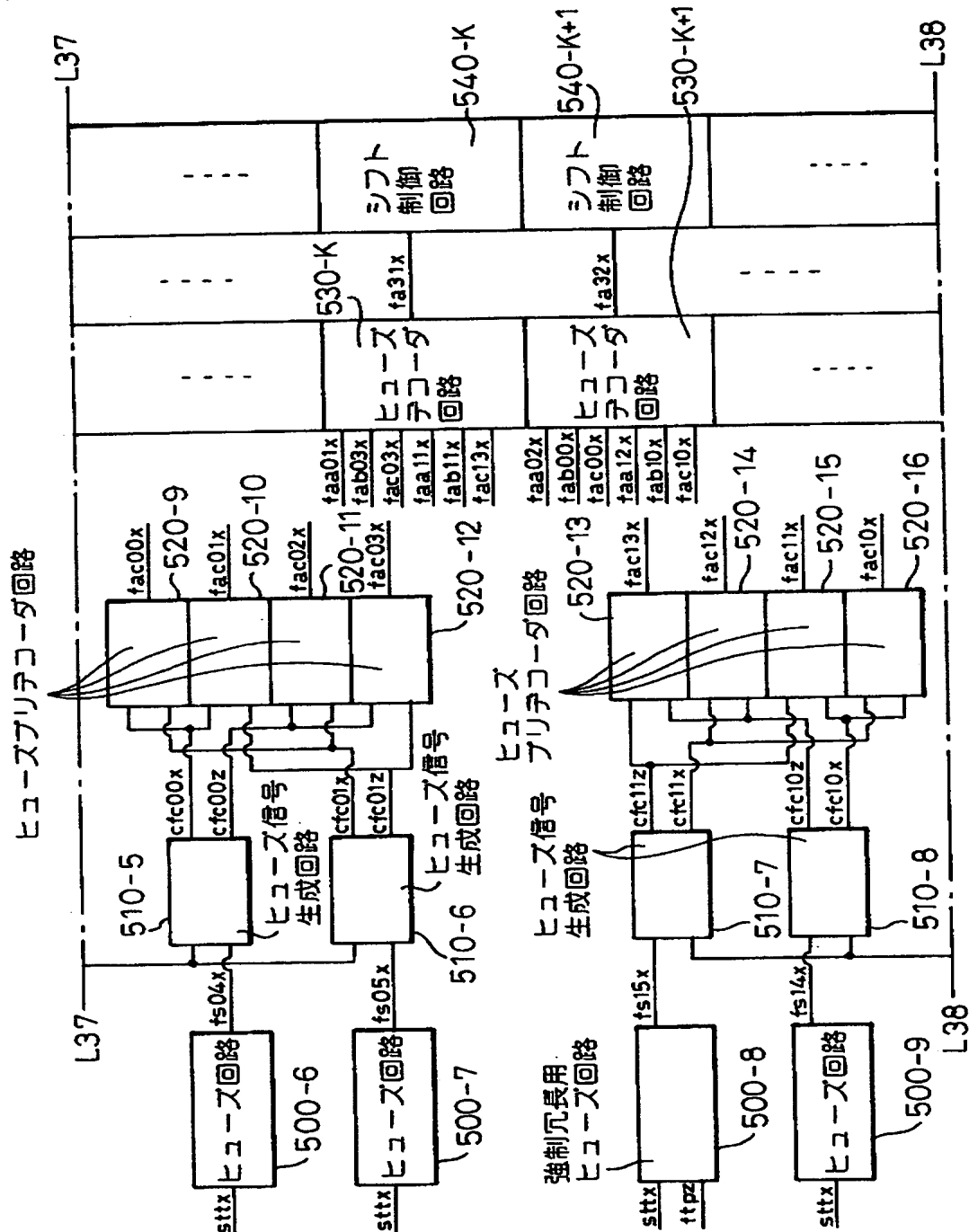
図 36

本発明の実施例に適用される冗長ブロック検出回路の一構成例を示す回路図



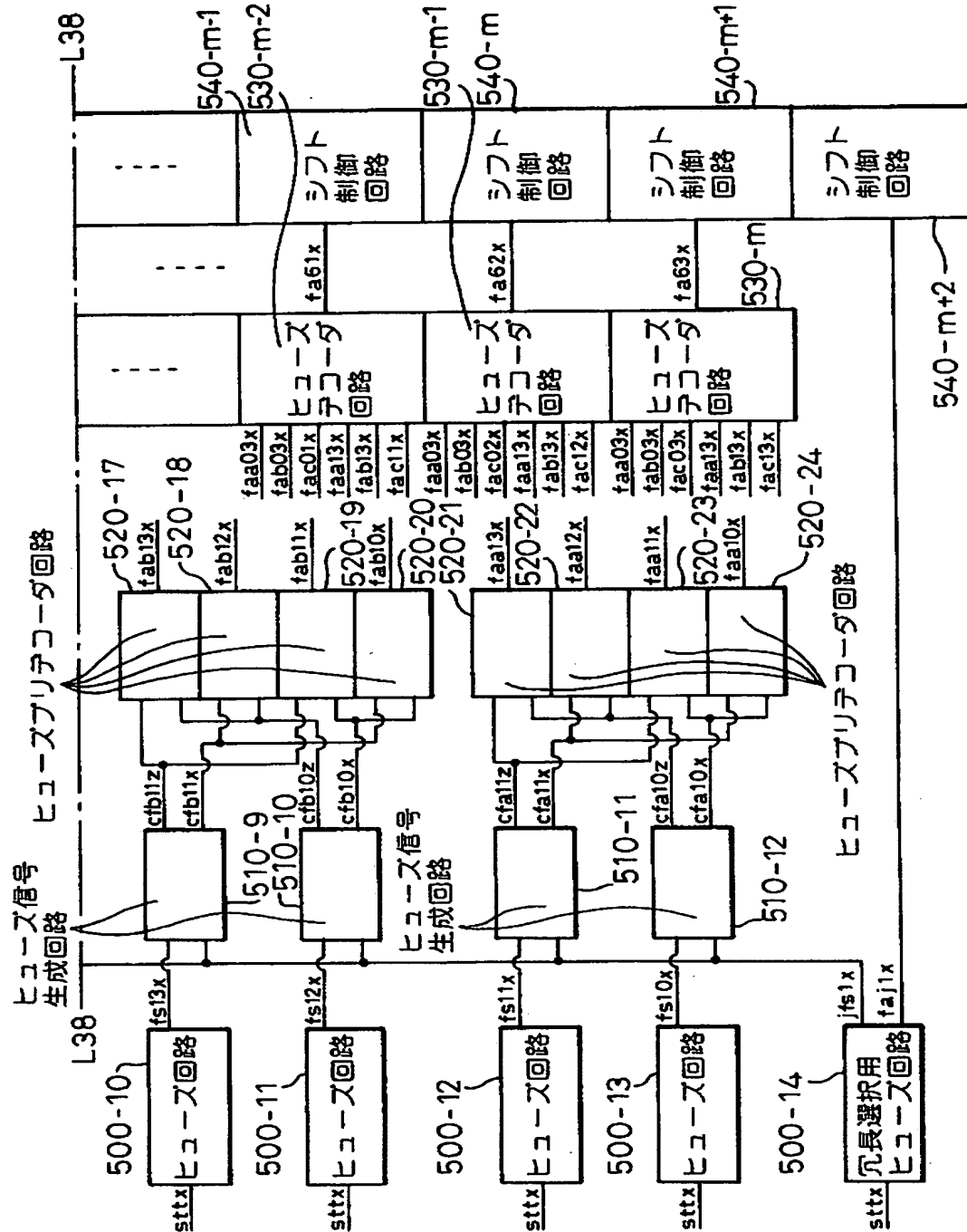
【図 38】

図 38 本発明の第 3 の実施例の全体的な回路構成を示すブロック図（その 2）



【図 39】

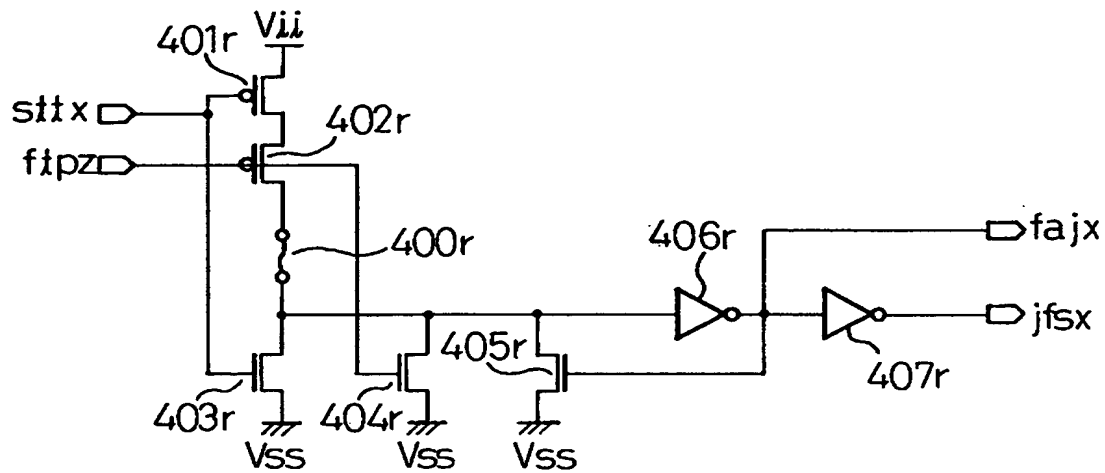
図 39 本発明の第 3 の実施例の全体的な回路構成を示すブロック図（その 3）



【図 40】

図 40

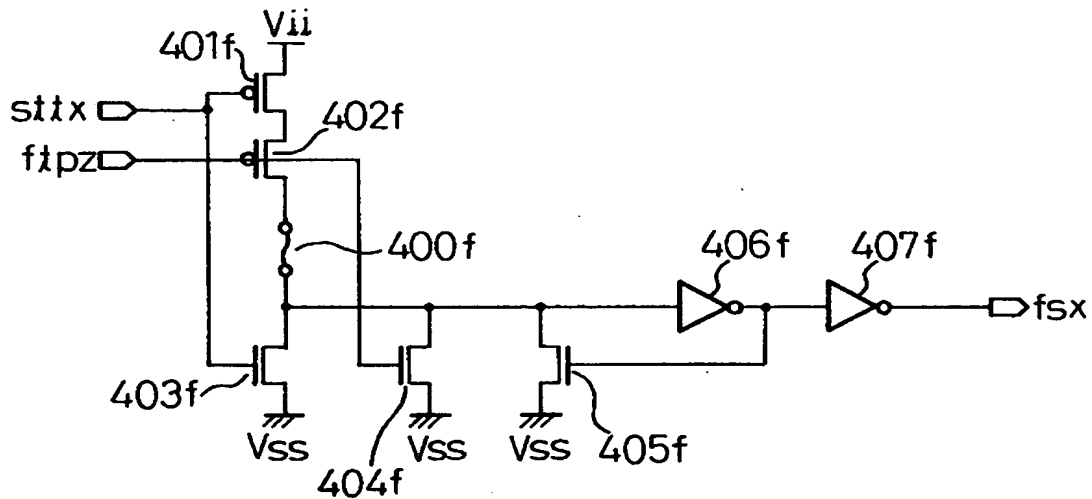
本発明の第 3 の実施例における冗長選択用ヒューズ回路の構成を示す回路図



【図 41】

図 41

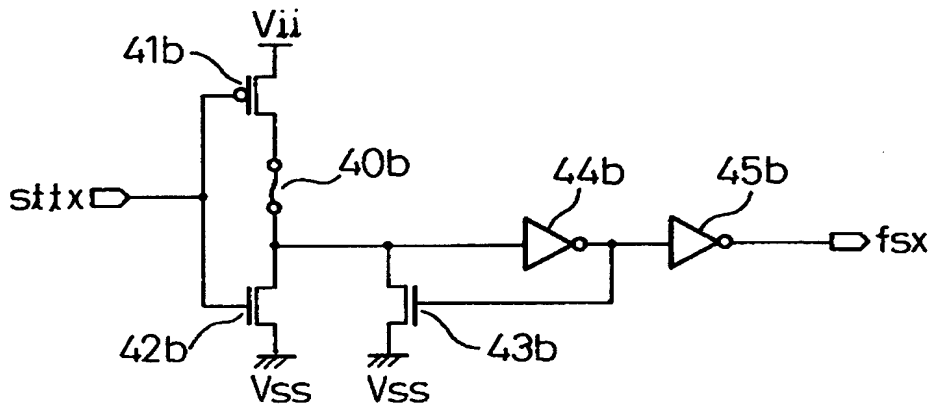
本発明の第 3 の実施例における強制冗長選択用ヒューズ回路の構成を示す回路図



【図 4 2】

図 42

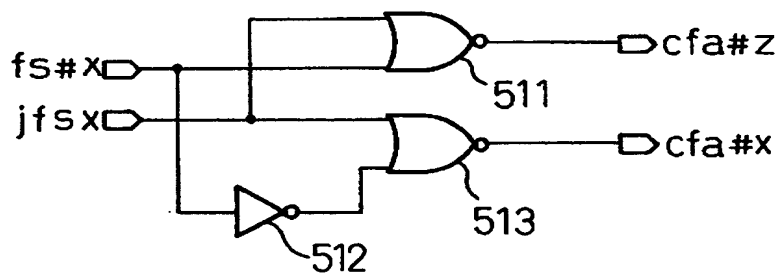
本発明の第 3 の実施例における通常選択用のヒューズ回路の構成を示す回路図



【図 4 3】

図 43

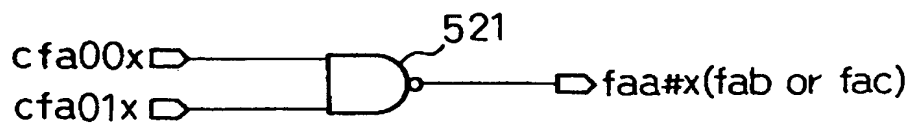
本発明の第 3 の実施例におけるヒューズ信号生成回路の構成を示す回路図



【図 4 4】

図 44

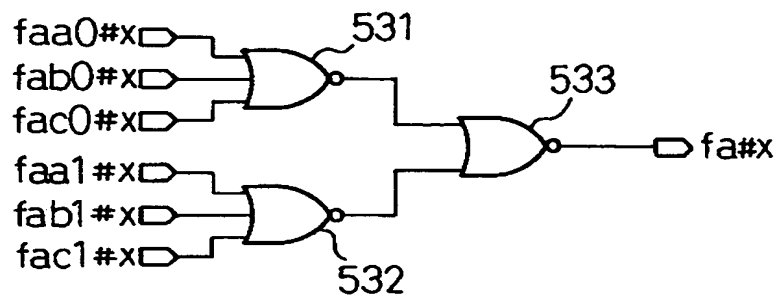
本発明の第 3 の実施例におけるヒューズブリテコード回路の構成を示す回路図



【図 4 5】

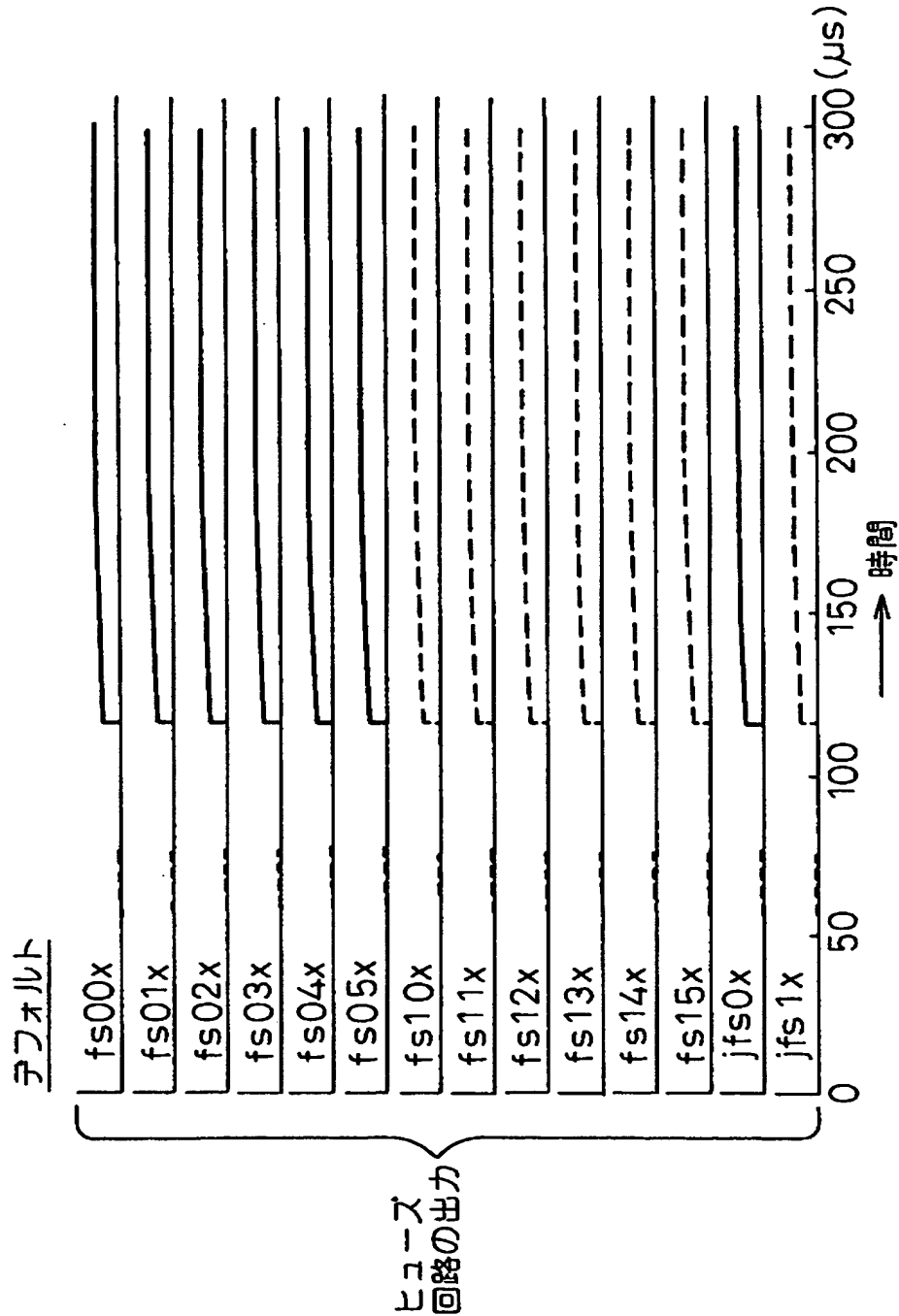
図 45

本発明の第 3 の実施例におけるヒューズテコード回路の構成を示す回路図



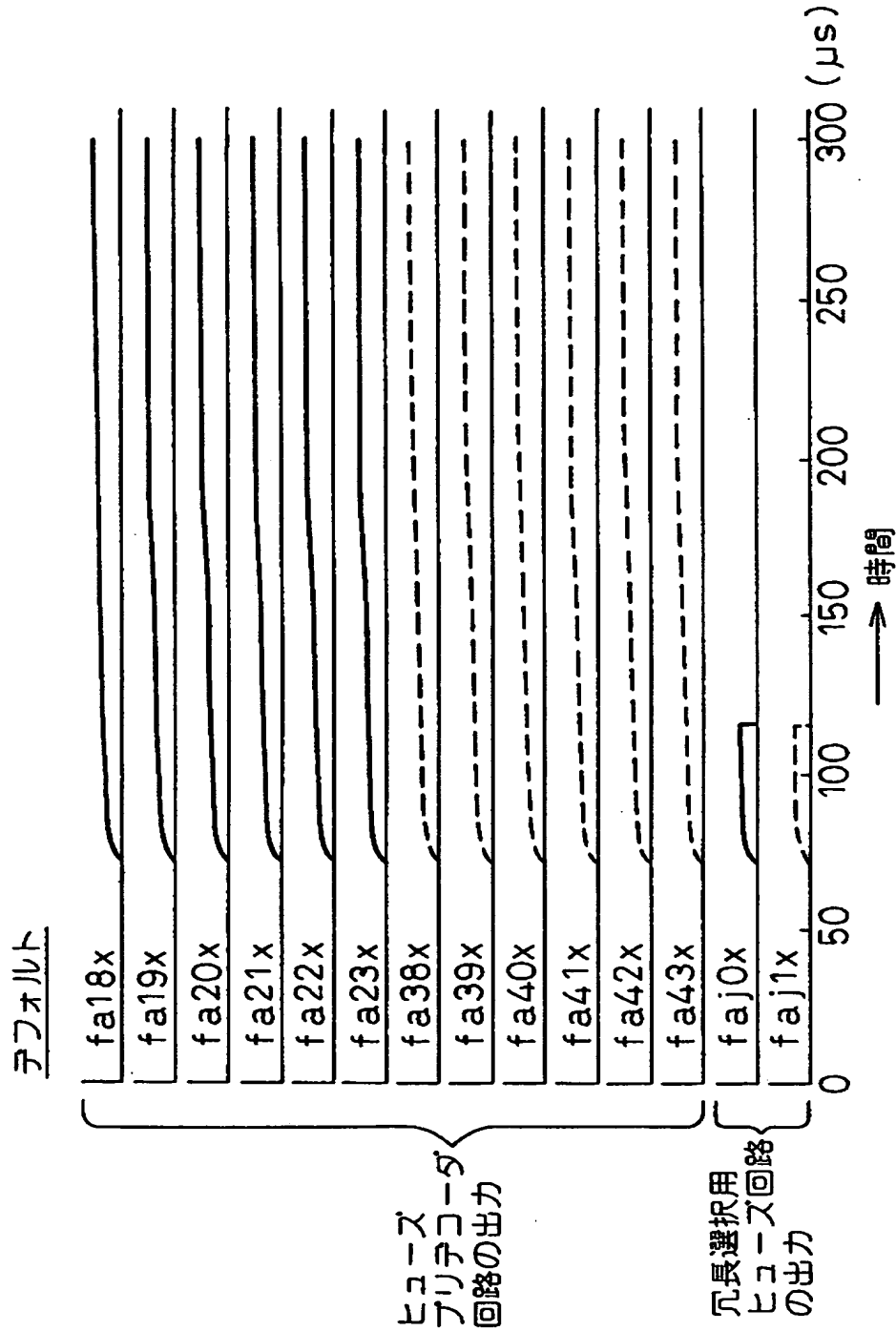
【図 4 6】

図 46 選択線に欠陥がない場合における図42のヒューズ回路のシミュレーション動作を示す電圧波形図



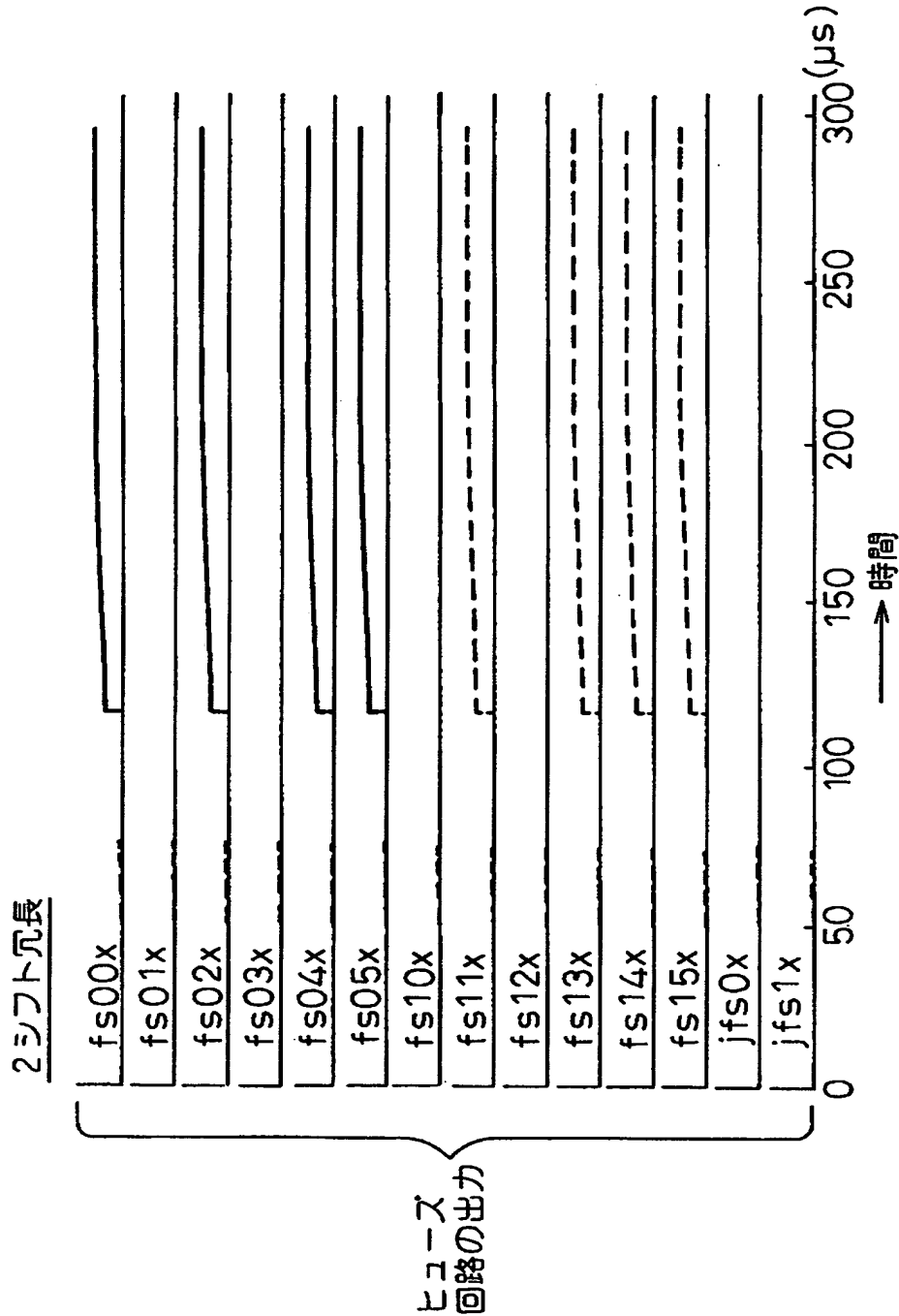
【図 4 7】

図 47 選択線に欠陥がない場合における図44のヒューズブリテコーダ回路のシミュレーション動作を示す電圧波形図



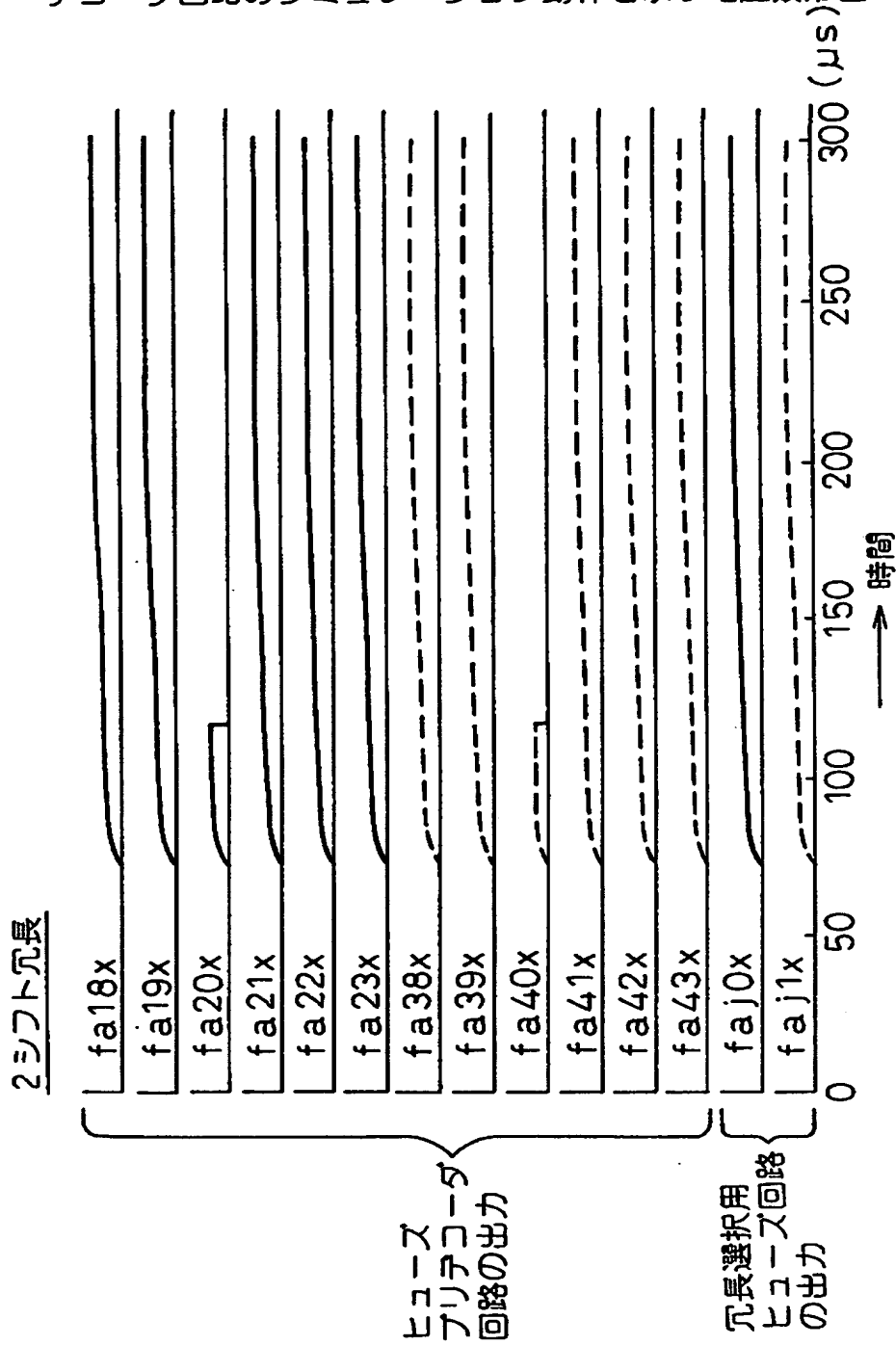
【図 48】

図 48 2シフト冗長を実行した場合における図42のヒューズ回路のシミュレーション動作を示す電圧波形図



【図49】

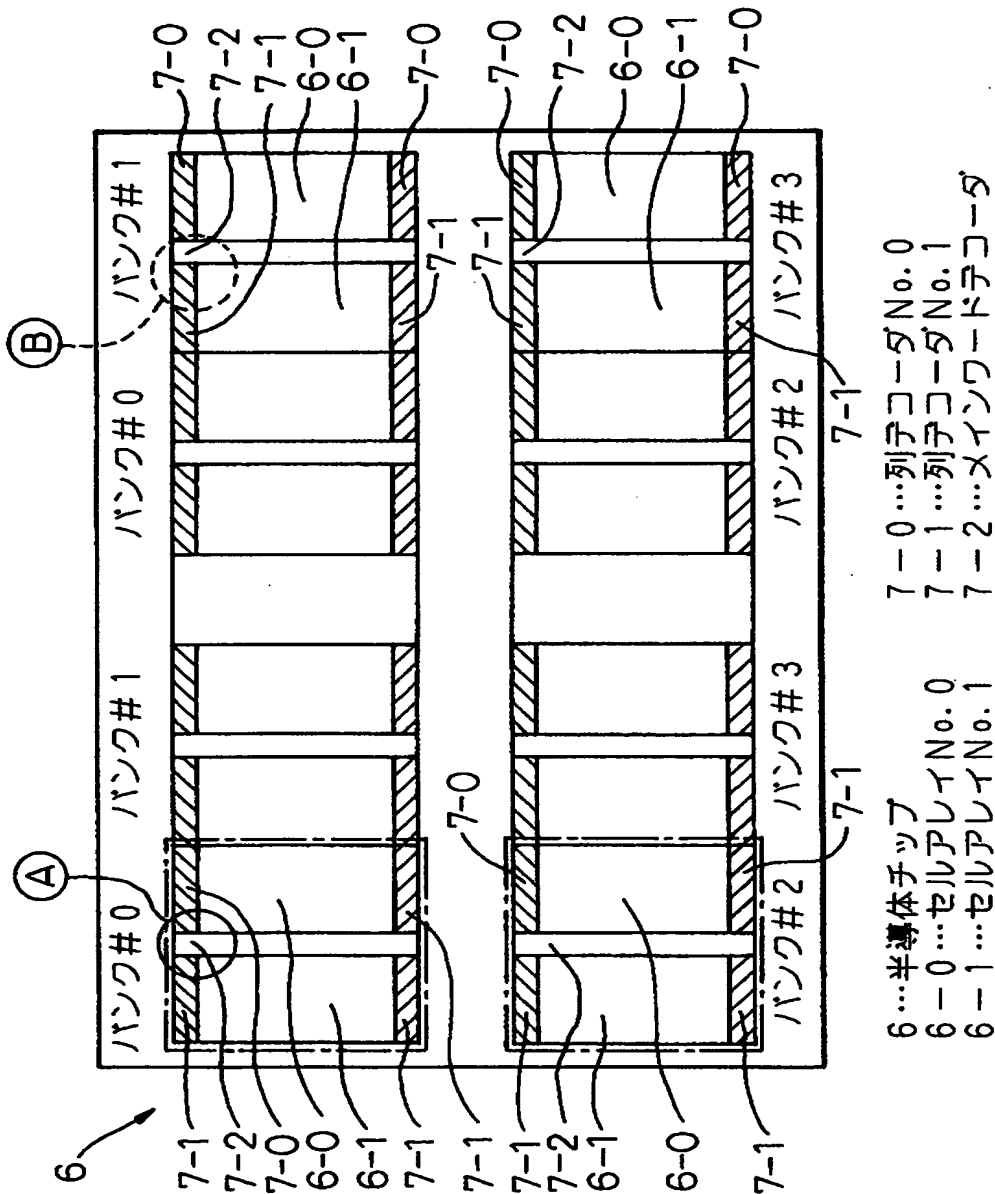
図49 2シフト冗長を実行した場合における図44のヒューズブリ
デコーダ回路のシミュレーション動作を示す電圧波形図



【図 50】

図 50

本発明のシフト冗長方式の半導体装置が適用される半導体チップの概略的構成を示す図

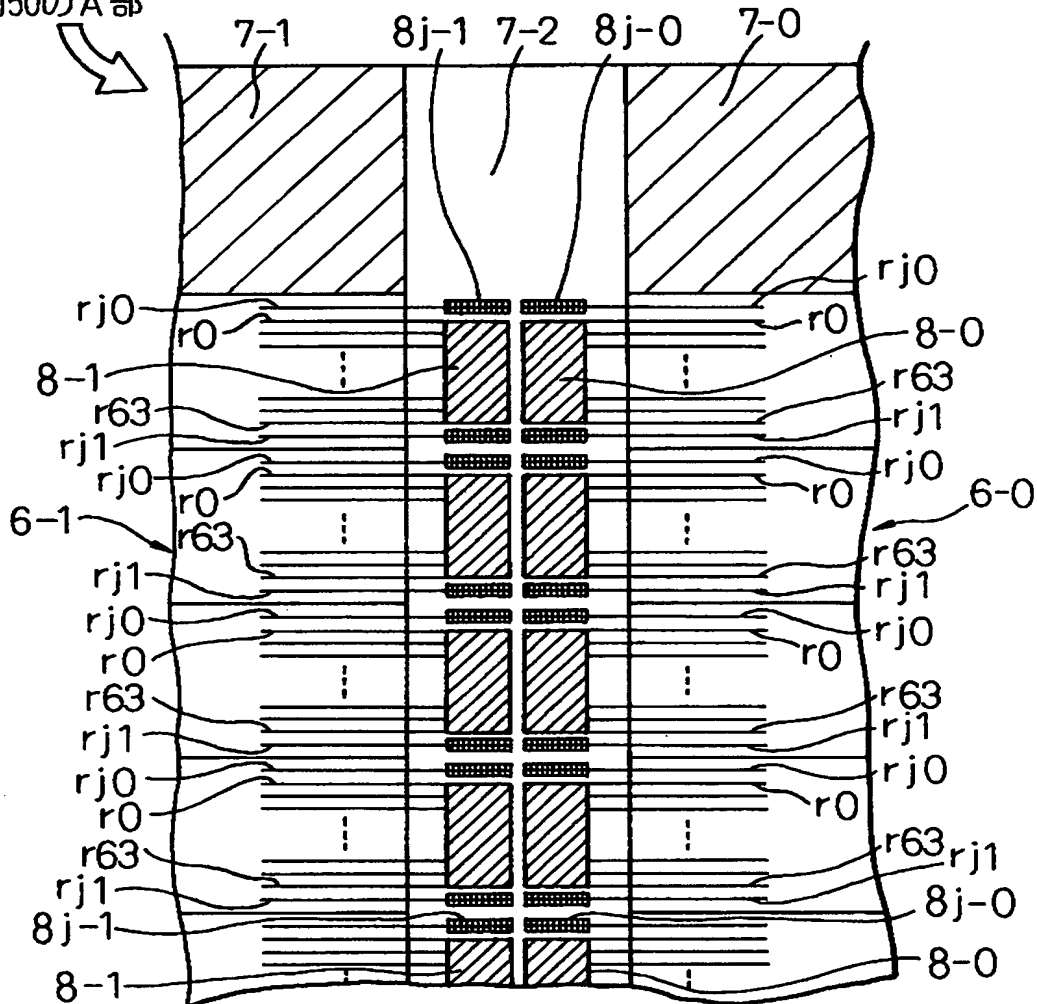


【図 51】

図 51

各々のセルアレイに対し独立にヒューズ回路、強制冗長用ヒューズ回路および冗長選択用ヒューズ回路を設ける場合の図50のA部の構成を拡大して示す図

図50のA部



8-0...セルアレイNo. 0側のヒューズ回路および

強制冗長用ヒューズ回路

8-1...セルアレイNo. 1側のヒューズ回路および

強制冗長用ヒューズ回路

8j-0...セルアレイNo. 0側の冗長選択用ヒューズ回路

8j-1...セルアレイNo. 1側の冗長選択用ヒューズ回路

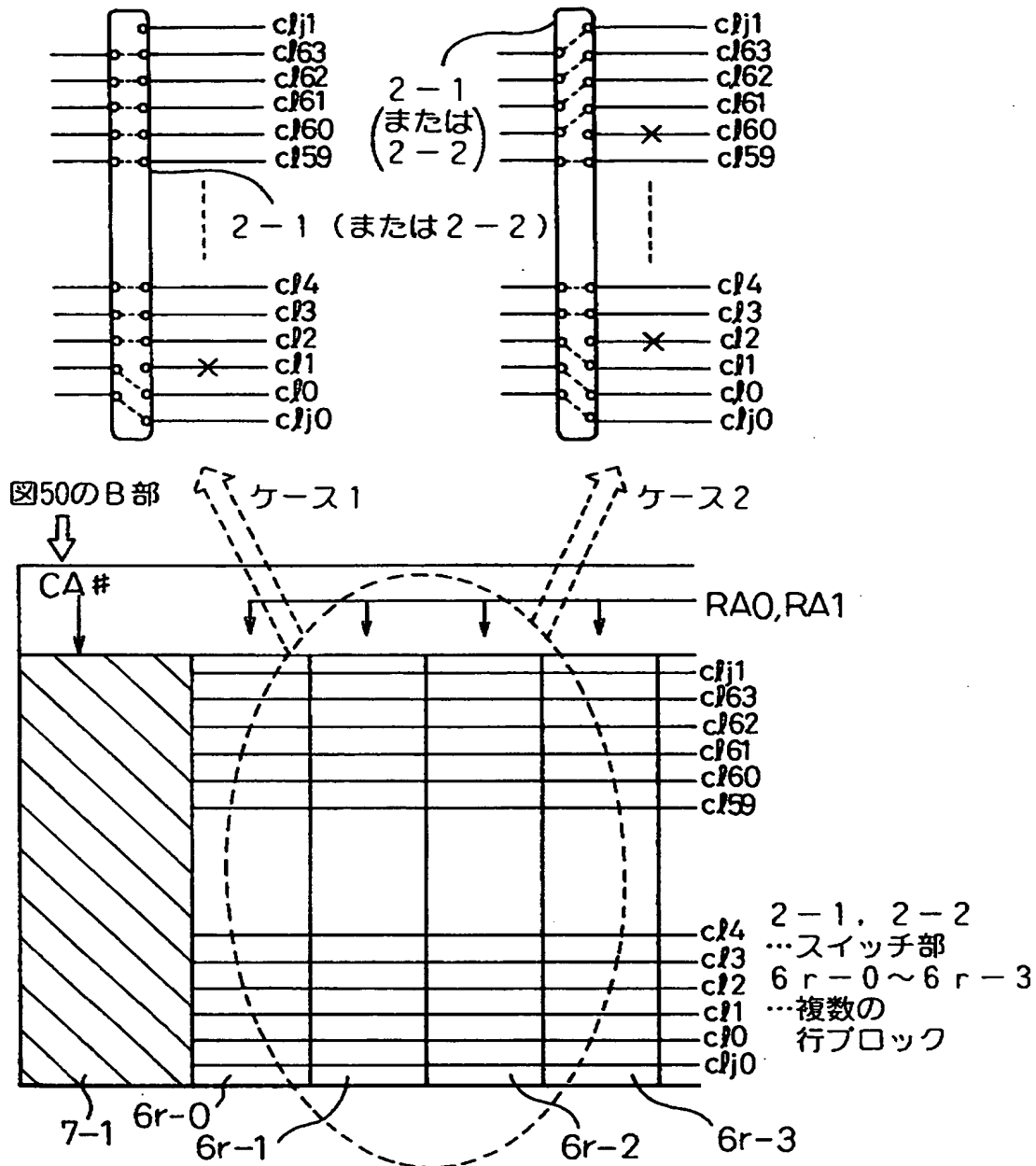
r0~r63...row選択線

rj0, rj1...冗長選択線

【図 52】

図 52

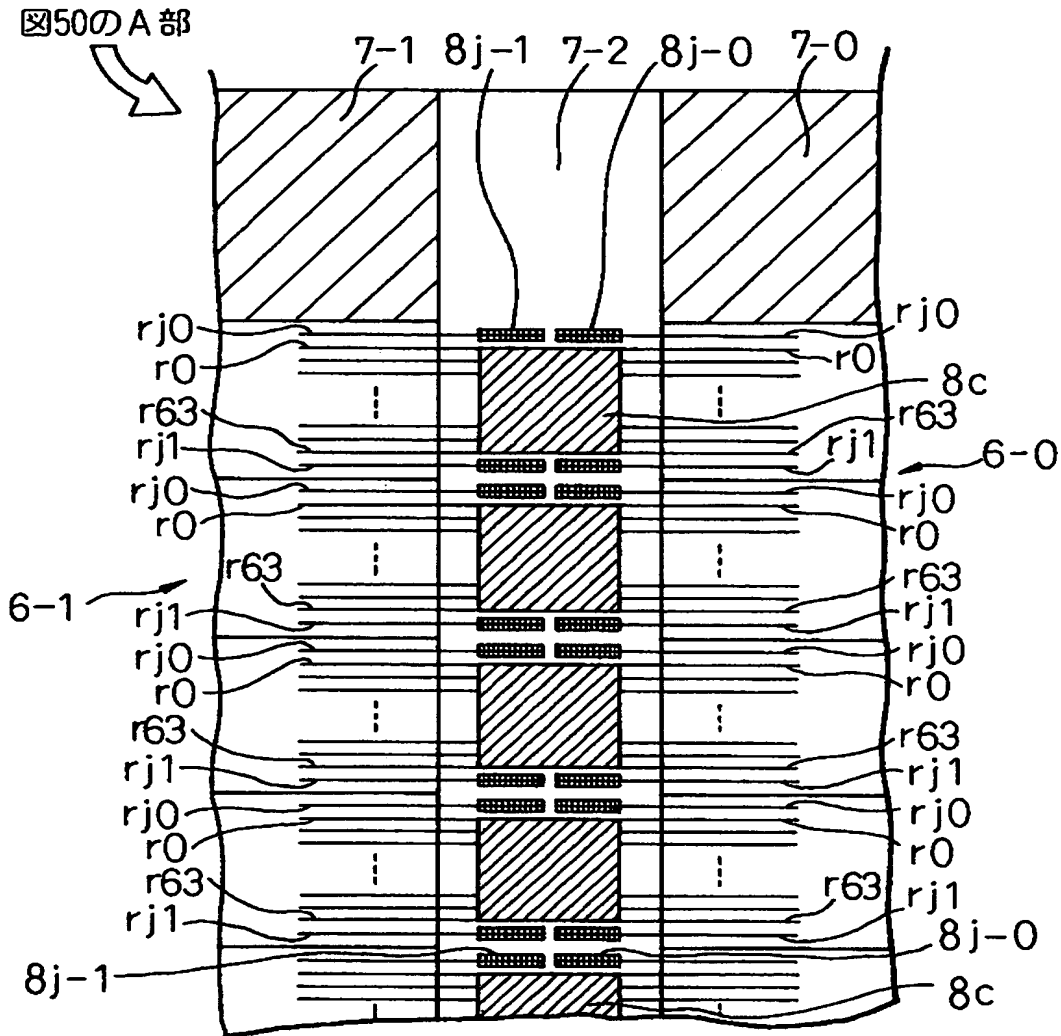
メモリセルブロック内の複数の行ブロックに対し一様にカラム選択線のシフト冗長を行う場合の図50のB部の構成を拡大して示す図



【図 53】

図 53

隣接するセルアレイに対しヒューズ回路および強制冗長用ヒューズ回路を共有させる場合の図50のA部の構成を拡大して示す図

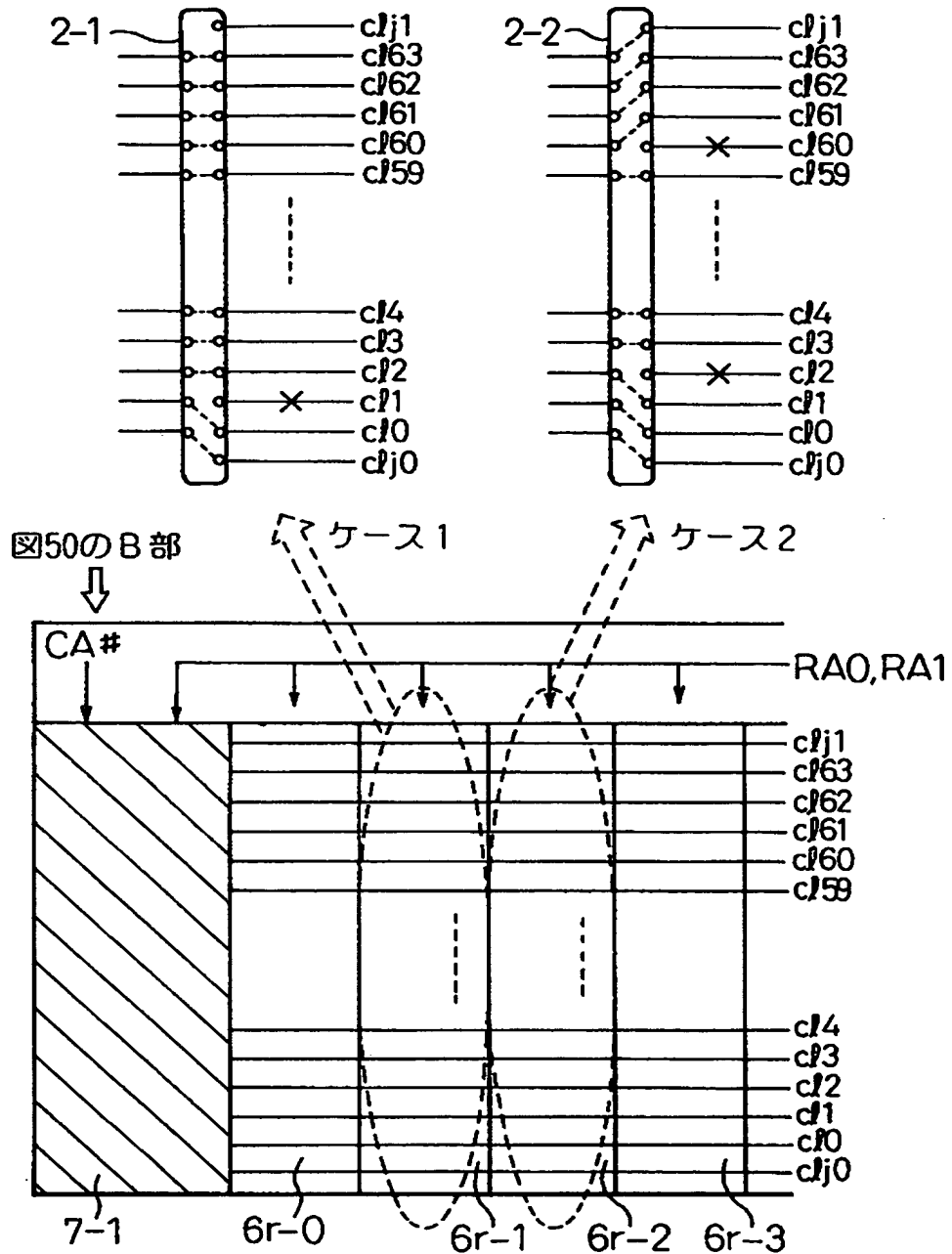


8c…共有のヒューズ回路および強制冗長用ヒューズ回路

【図 54】

図 54

メモリセルブロック内の各々の行ブロック単位でカラム選択線のシフト冗長を行う場合の図50のB部の構成を拡大して示す図



【図 56】

図 56

本発明の第 4 の実施例の全体的な回路構成を示すブロック図
(その 2)

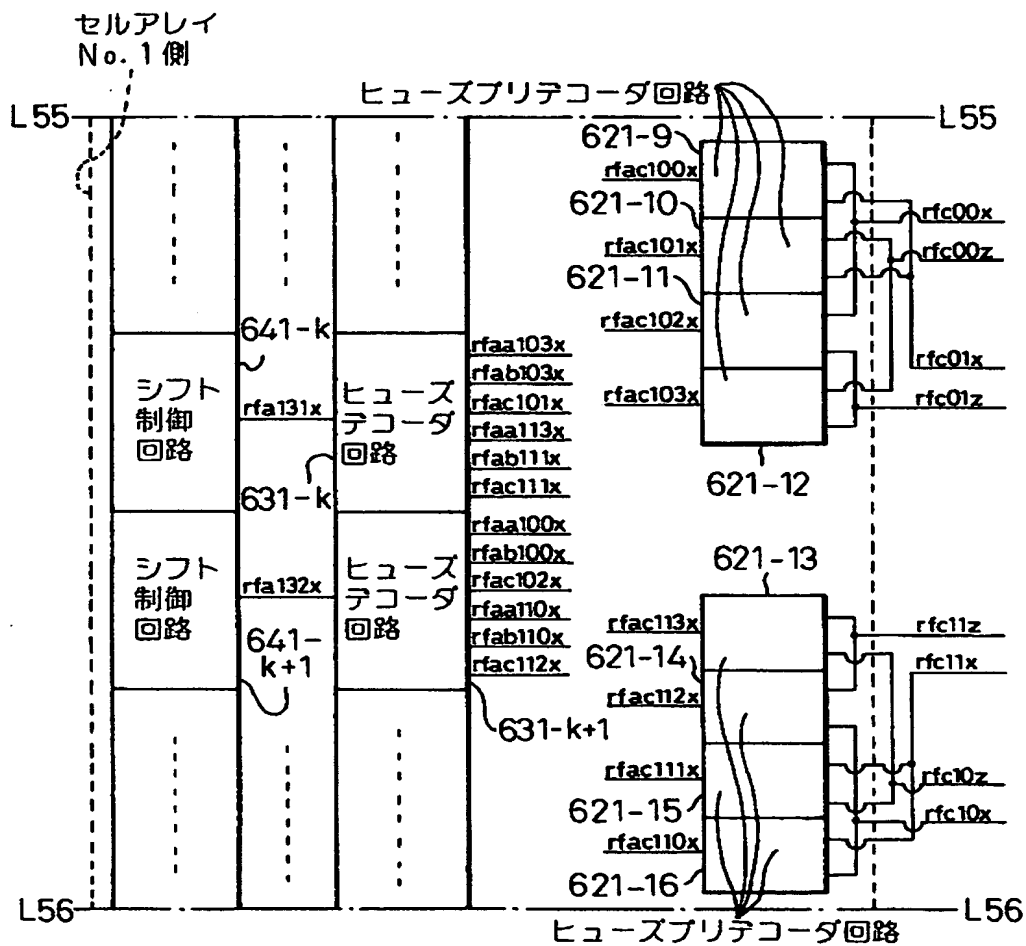
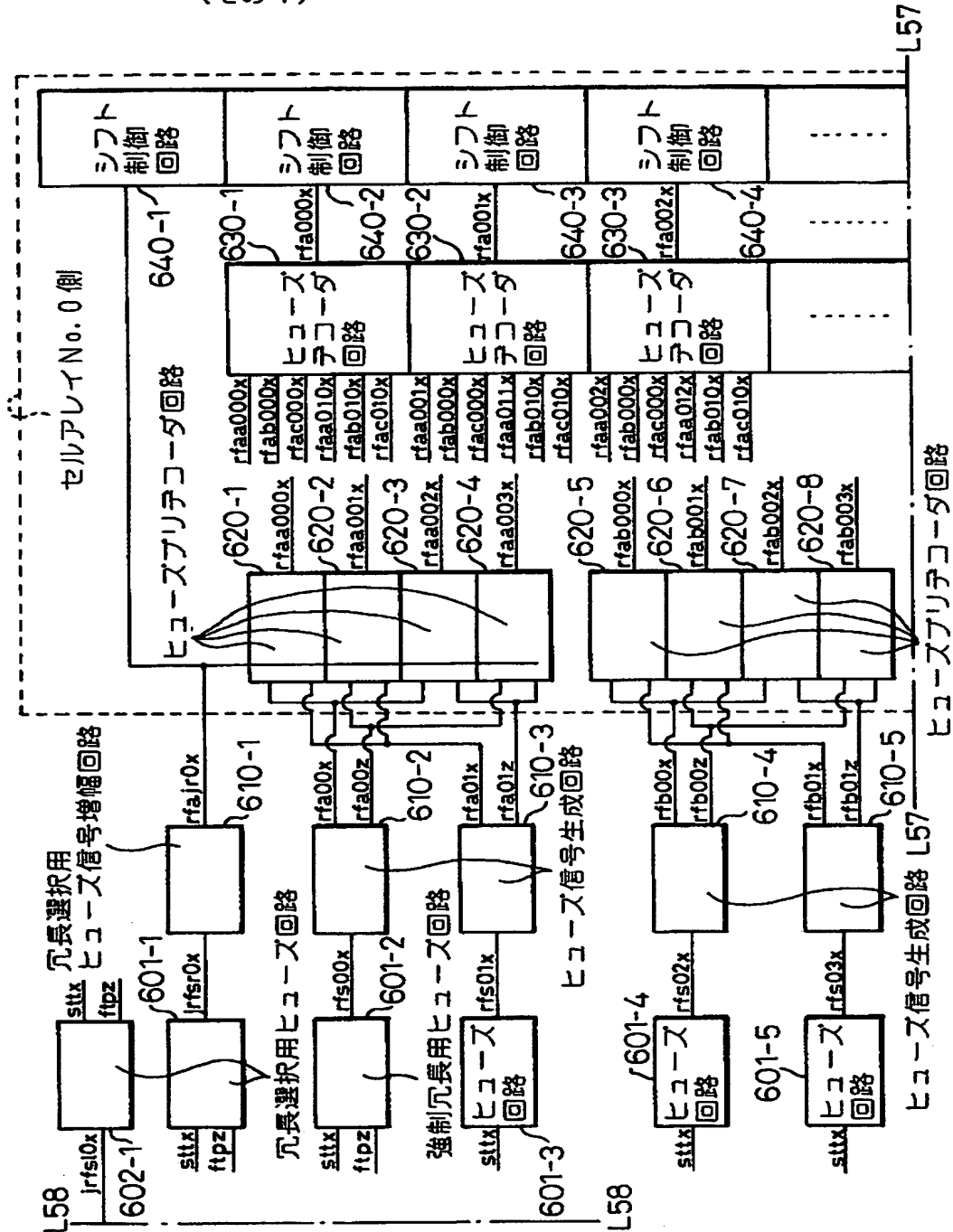


圖 57

Figure 1 is a block diagram of a multi-channel digital signal processing system. The diagram shows a series of processing blocks labeled 641-m-1, 641-m, 641-m+1, and 641-m+2. Each block contains a 'シフト制御回路' (Shift Control Circuit) and a 'ヒューズブリタコード回路' (Fuse Blower Code Circuit). The output of the code circuit in block 641-m-1 is connected to the input of block 641-m, and so on. The final output of block 641-m+2 is connected to a 'ヒューズブリタコード回路' (Fuse Blower Code Circuit) which is connected to a '冗長選択用ヒューズ信号増幅回路' (Redundant Selection Fuse Signal Amplification Circuit). The diagram also shows various signal lines labeled L56, L60, and L61, and a 'セルアレイ No. 1 側' (Cell Array No. 1 Side) label.

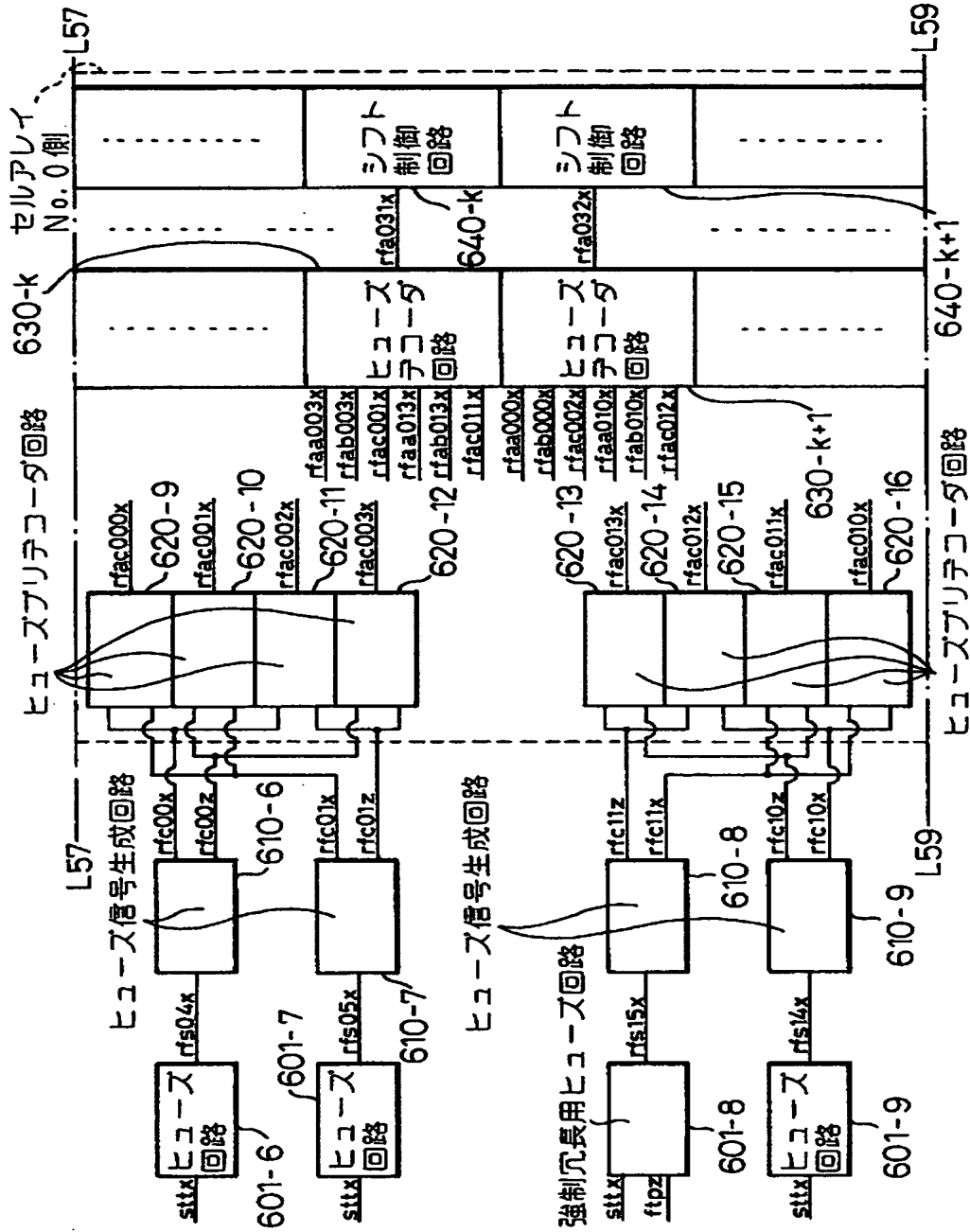
【図 58】

図 58 本発明の第 4 の実施例の全体的な回路構成を示す回路図
(その 4)



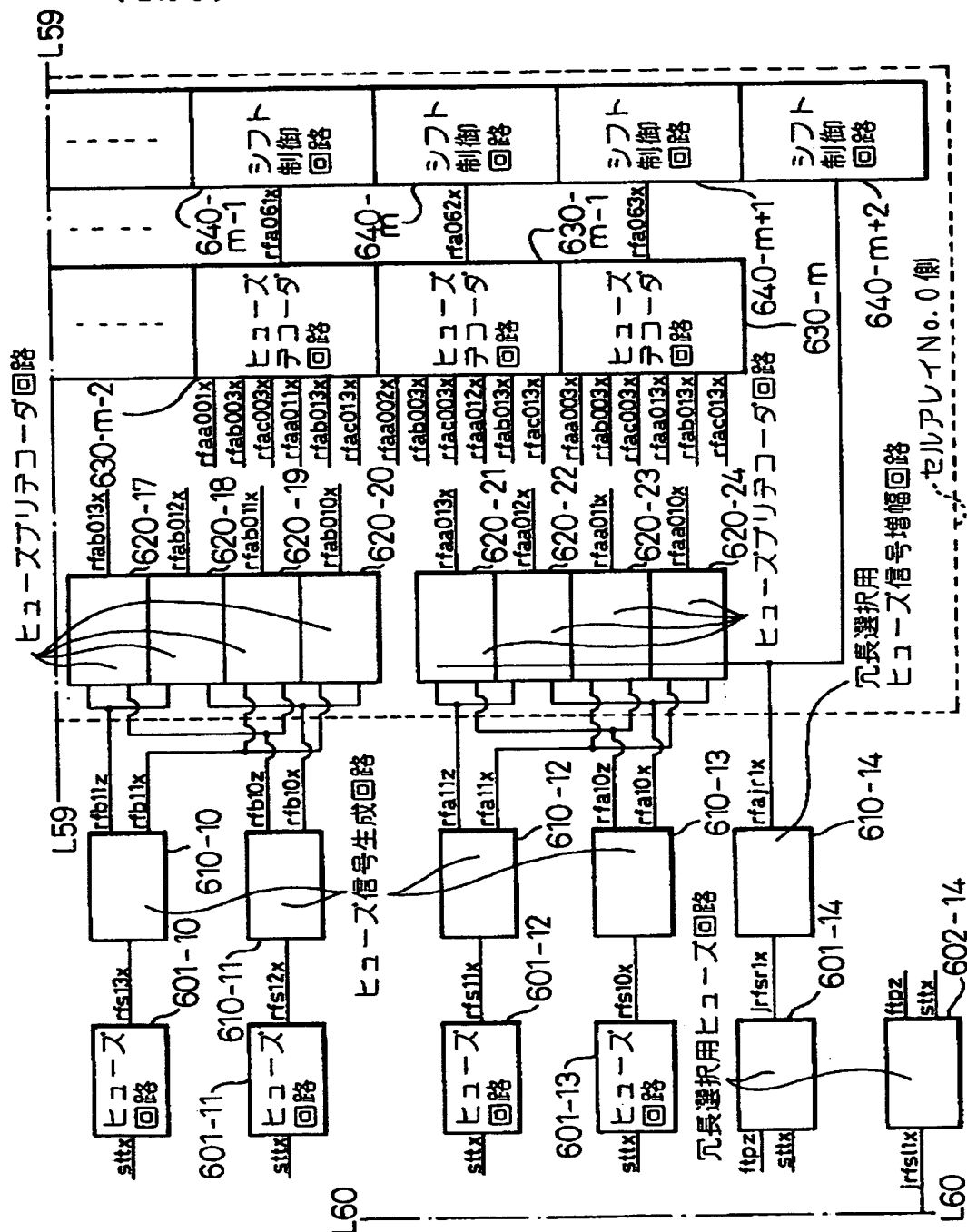
【図 59】

図 59 本発明の第 5 の実施例の全体的な回路構成を示すブロック図
(その 5)



【图 60】

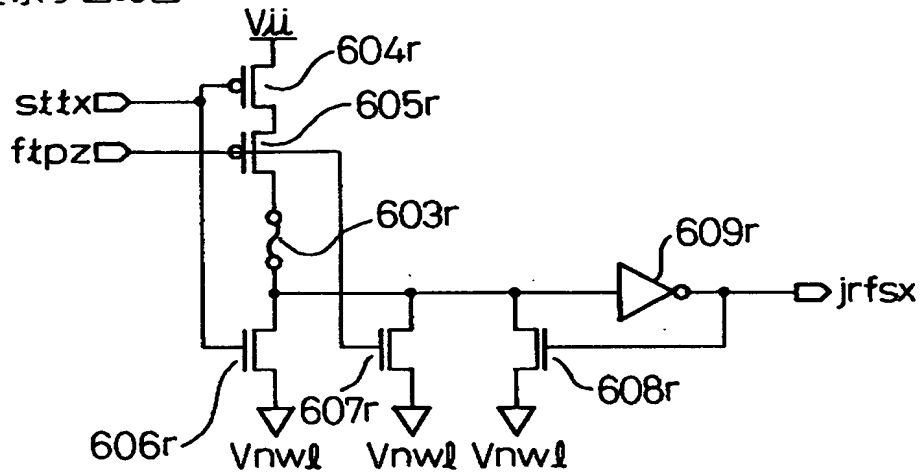
図 60 本発明の第 5 の実施例の全体的な回路構成図を示すブロック図
(その 6)



【図 6 1】

図 61

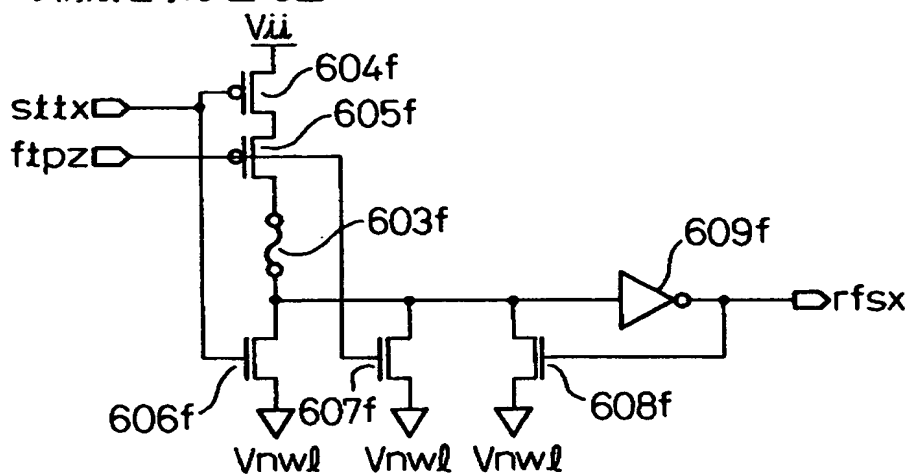
本発明の第 4 の実施例における冗長選択用ヒューズ回路の構成を示す回路図



【図 6 2】

図 62

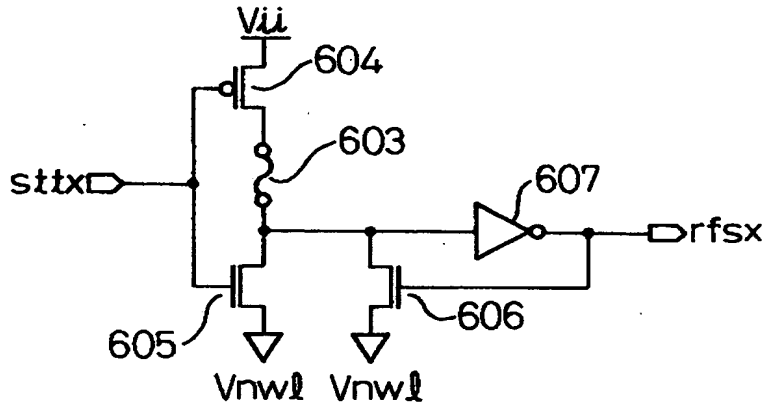
本発明の第 4 の実施例における強制冗長用ヒューズ回路の構成を示す回路図



【図 63】

図 63

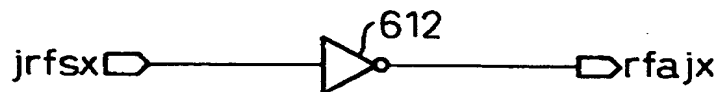
本発明の第 4 の実施例における通常選択用のヒューズ回路の構成を示す回路図



【図 64】

図 64

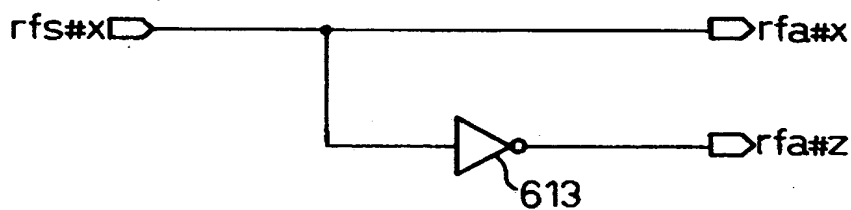
本発明の第 4 の実施例における冗長選択用ヒューズ信号増幅回路の構成を示す回路図



【図 65】

図 65

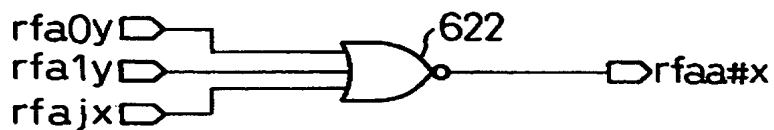
本発明の第 4 の実施例におけるヒューズ信号生成回路の構成を示す回路図



【図 66】

図 66

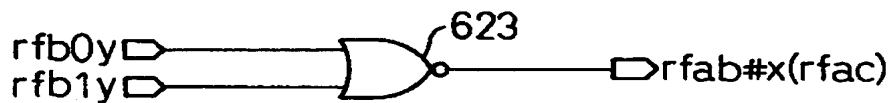
本発明の第 4 の実施例における第 1 のヒューズブリテコーダ回路の構成を示す回路図



【図 67】

図 67

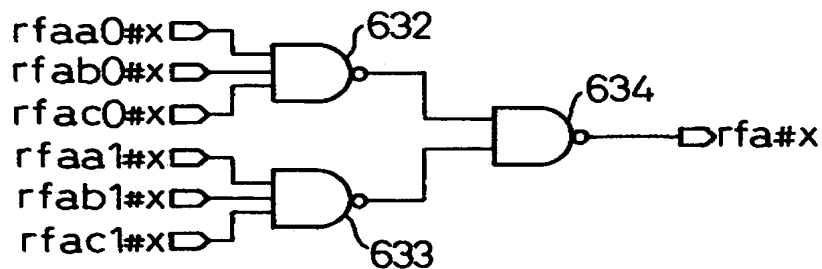
本発明の第 4 の実施例における第 2 のヒューズブリテコーダ回路の構成を示す回路図



【図 68】

図 68

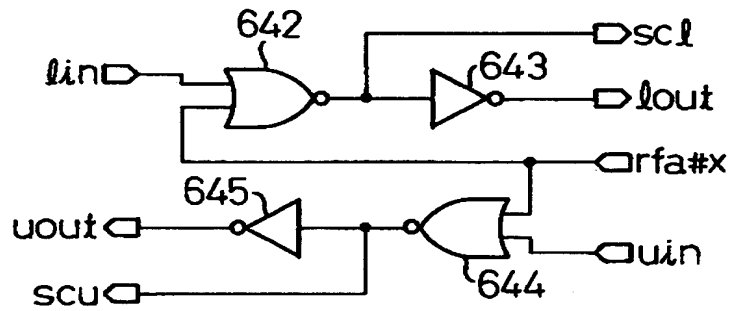
本発明の第 4 の実施例におけるヒューズテコーダ回路の構成を示す回路図



【図 69】

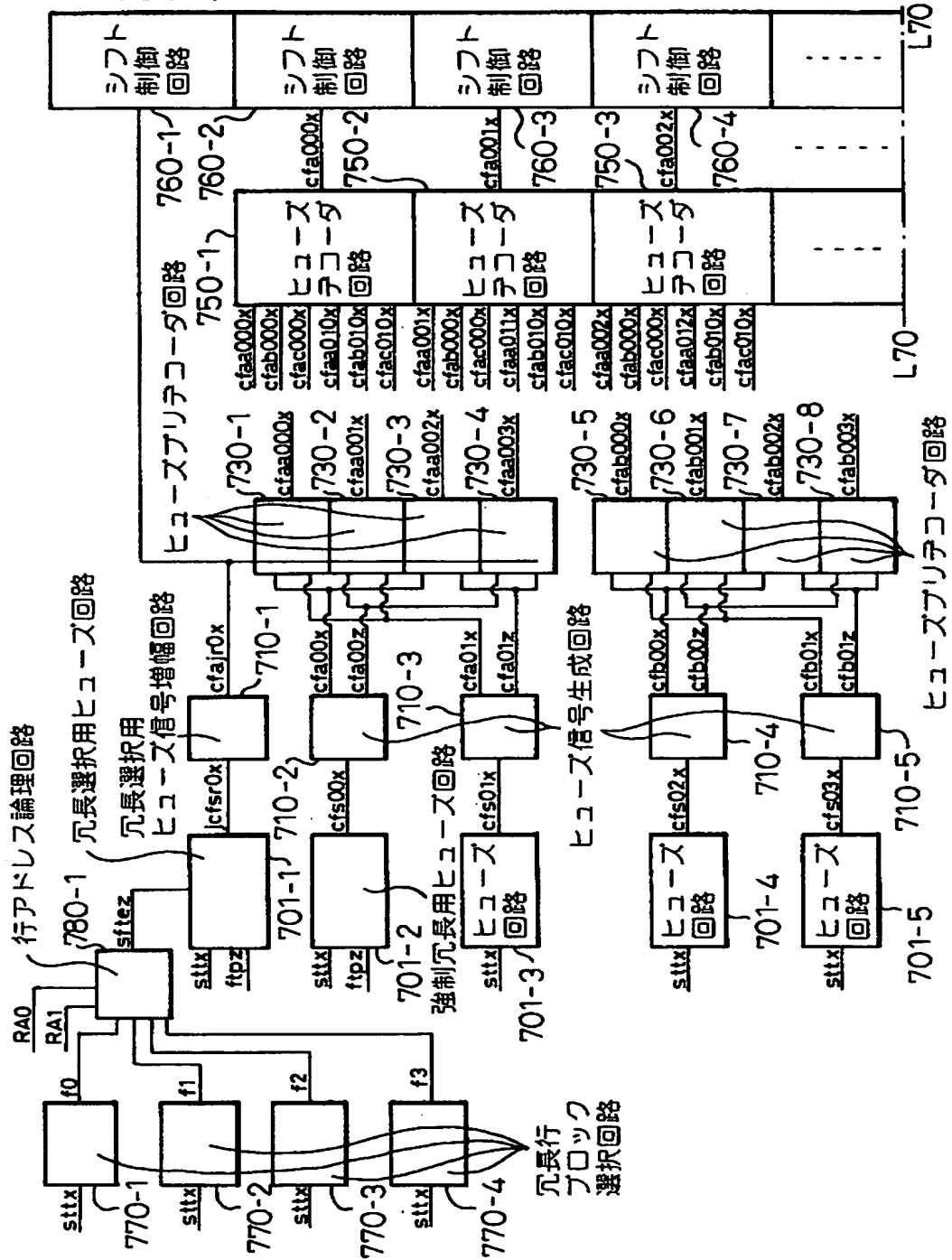
図 69

本発明の第 4 の実施例におけるシフト制御回路の構成を示す回路図



【図 70】

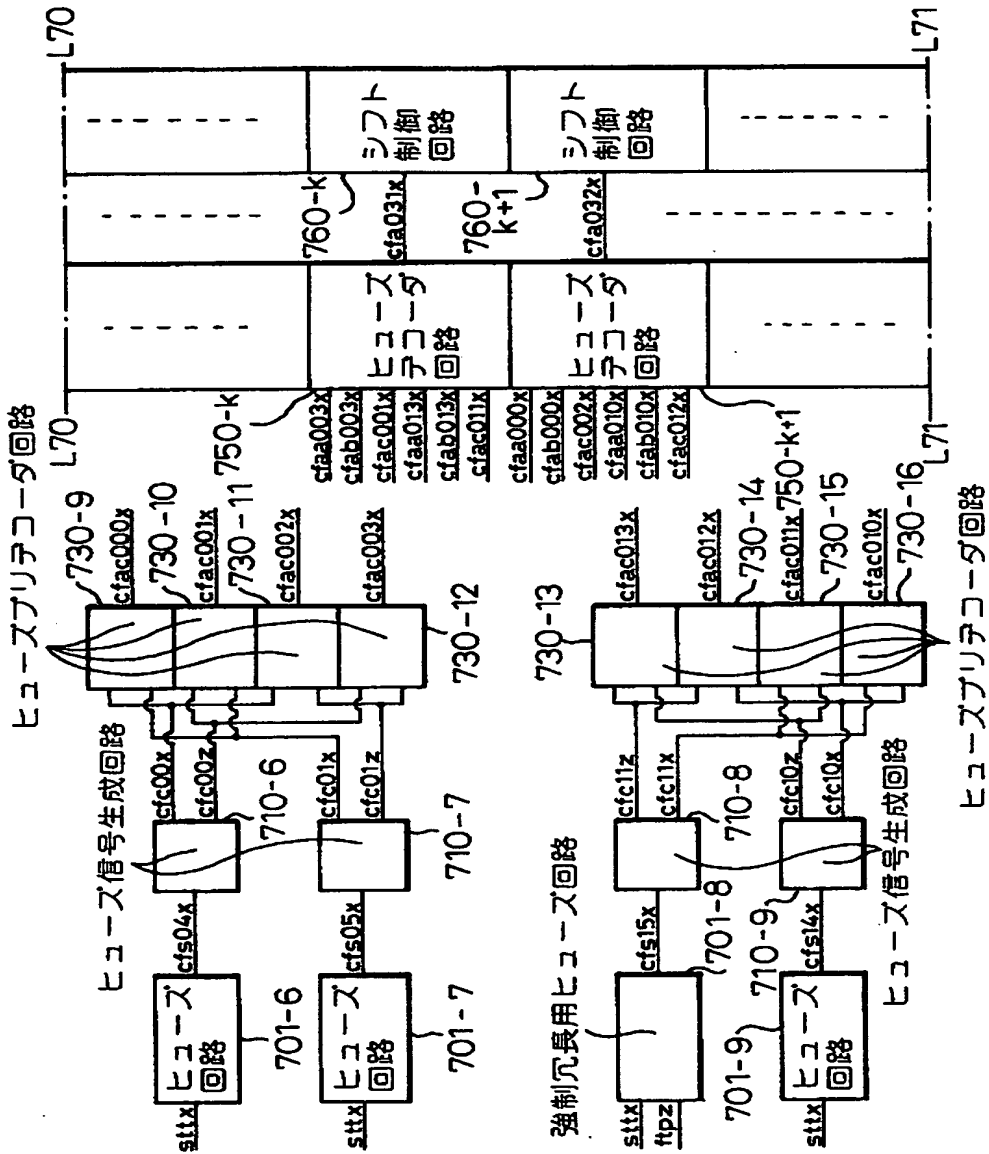
図 70 本発明の第 5 の実施例の全体的な回路構成を示すブロック図
(その 1)



【図 71】

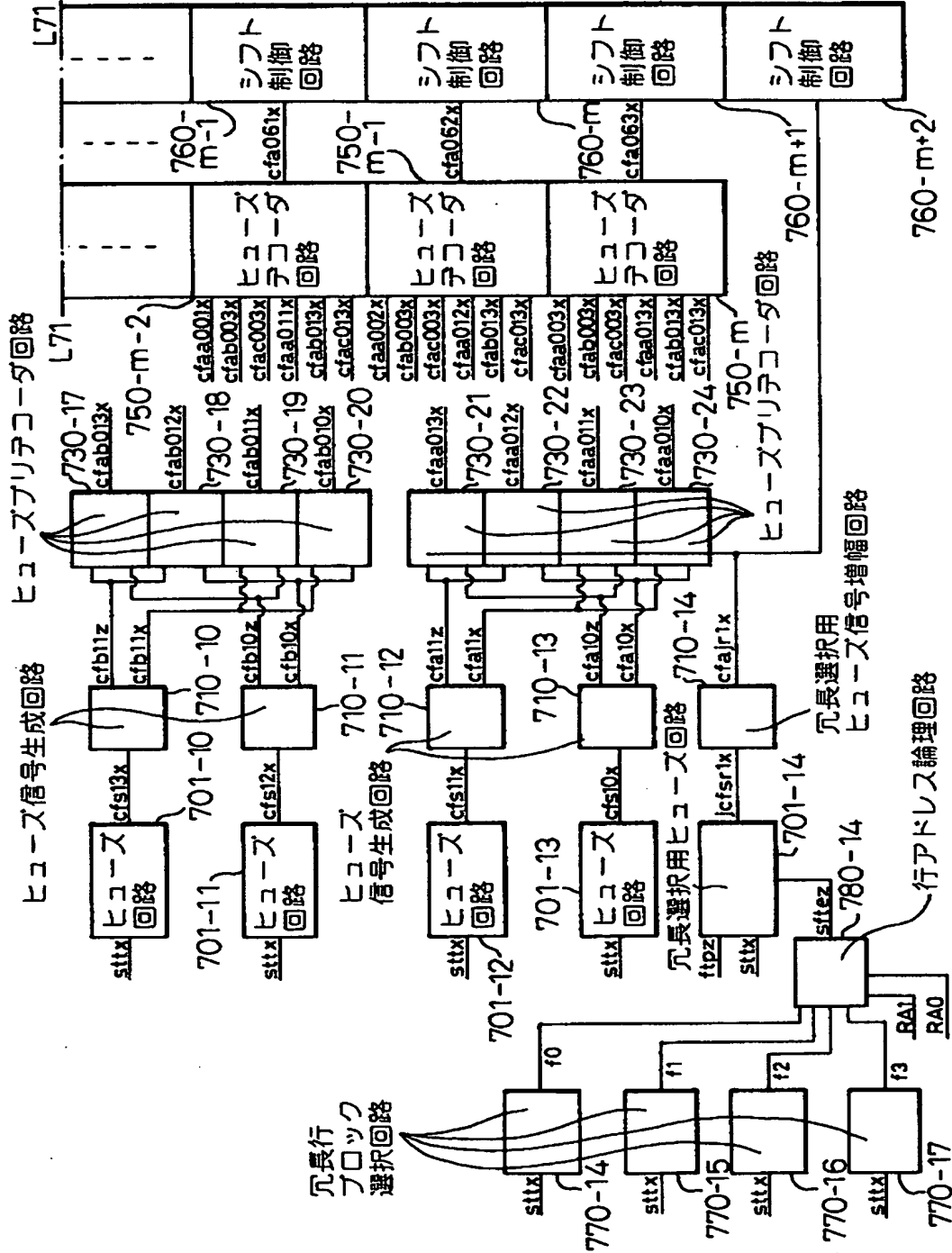
図 71

本発明の第 5 の実施例の全体的な回路構成を示すブロック図
(その 2)



【図 72】

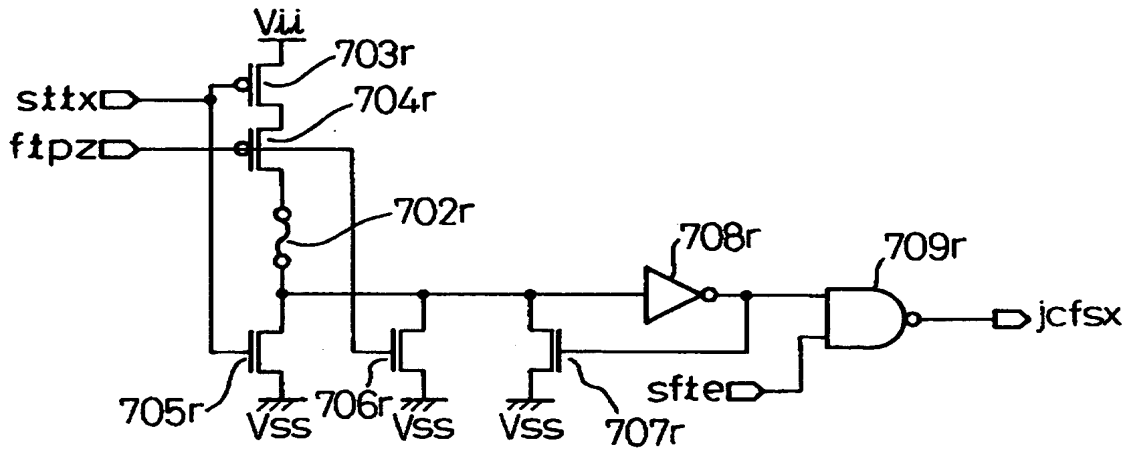
図 72 本発明の第 5 の実施例の全体的な回路構成を示すブロック図
(その 3)



【図 73】

図 73

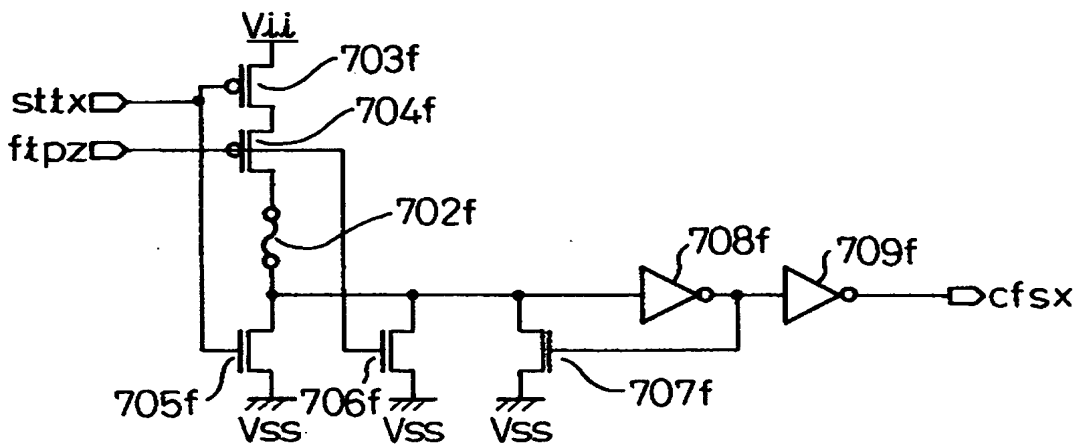
本発明の第 5 の実施例における冗長選択用ヒューズ回路の構成を示す回路図



【図 74】

図 74

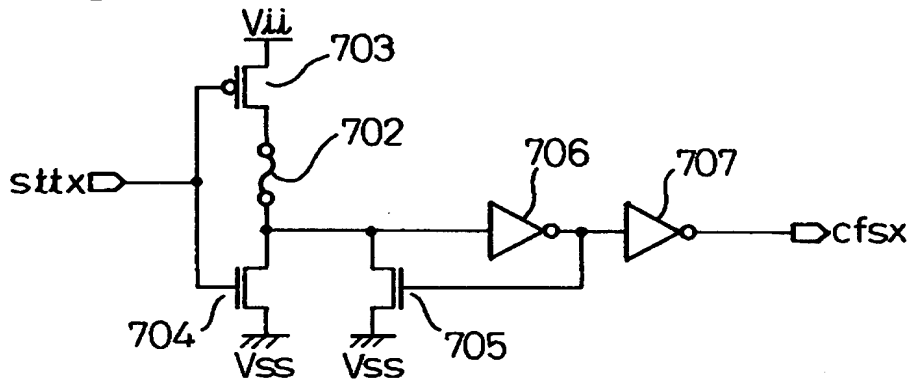
本発明の第 5 の実施例における強制冗長用ヒューズ回路の構成を示す回路図



【図 7 5】

図 75

本発明の第 5 の実施例における通常選択用のヒューズ回路の構成を示す回路図



【図 7 6】

図 76

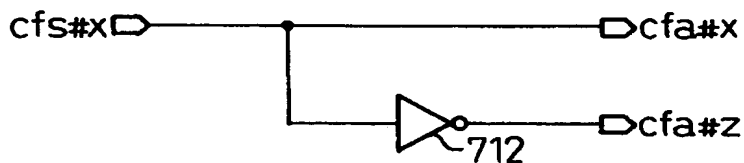
本発明の第 5 の実施例における冗長選択用ヒューズ信号増幅回路の構成を示す回路図



【図 7 7】

図 77

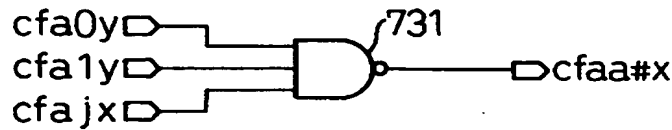
本発明の第 5 の実施例におけるヒューズ信号生成回路の構成を示す回路図



【図 78】

図 78

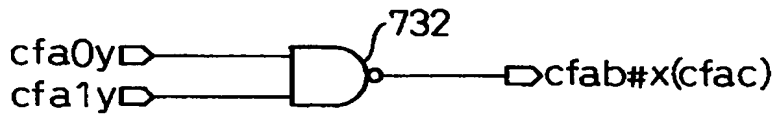
本発明の第 5 の実施例における第 1 のヒューズブリテコード回路の構成を示す回路図



【図 79】

図 79

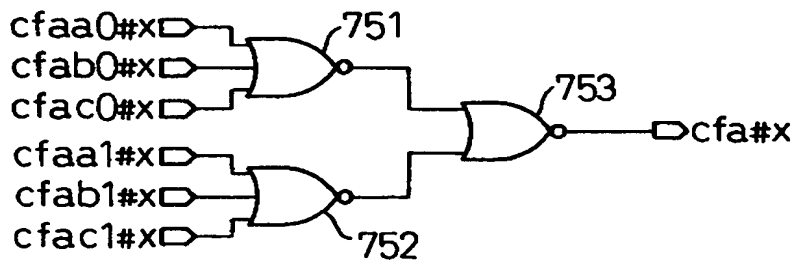
本発明の第 5 の実施例における第 2 のヒューズブリテコード回路の構成を示す回路図



【図 80】

図 80

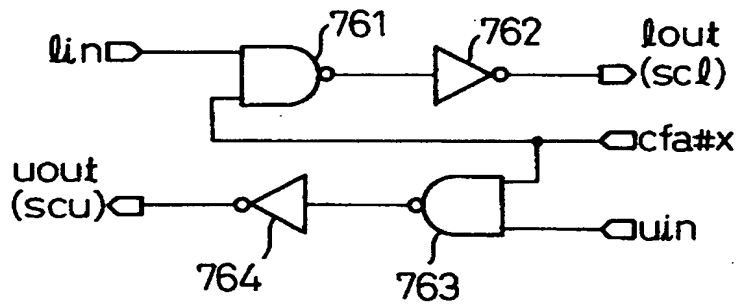
本発明の第 5 の実施例におけるヒューズテコード回路の構成を示す回路図



【図 81】

図 81

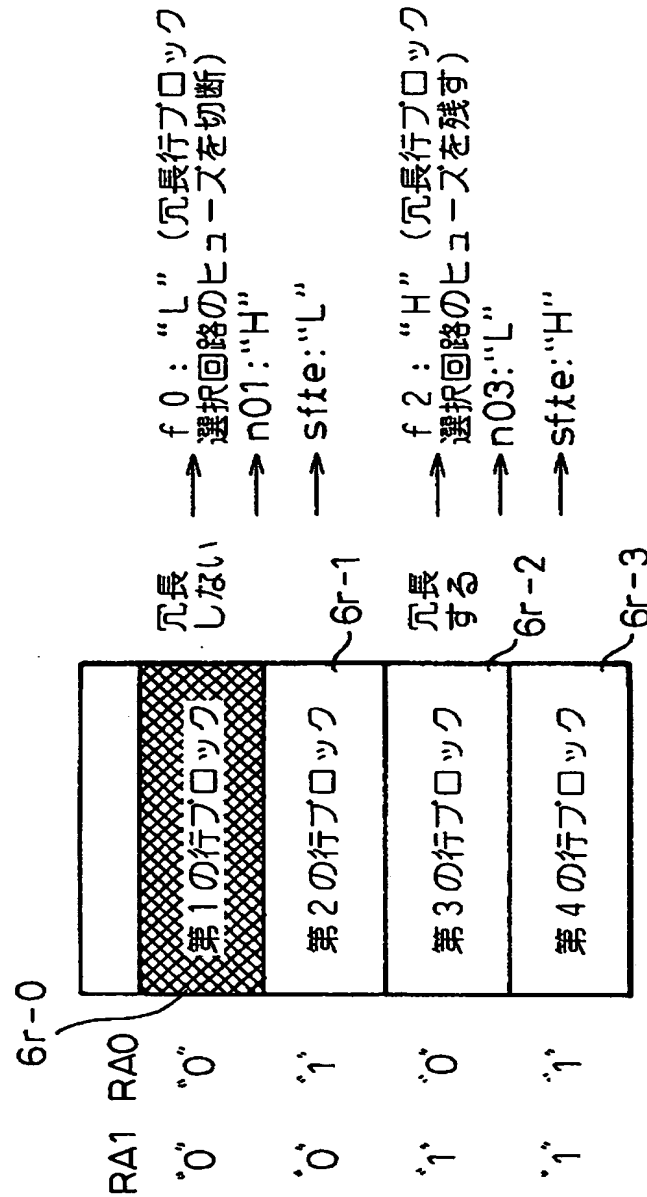
本発明の第 5 の実施例におけるシフト制御回路の構成を示す回路図



【図 8 2】

図 82

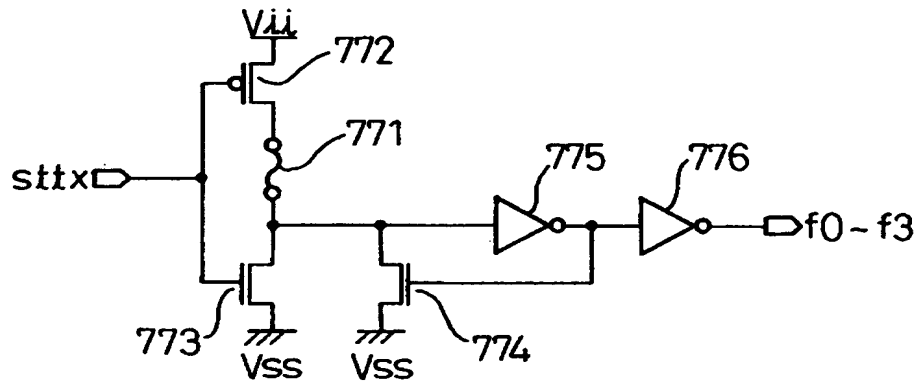
本発明の第 5 の実施例にて各々のメモリセルブロック内に存在する 4 つの行ブロックの状態の一例を示す図



【図 83】

図 83

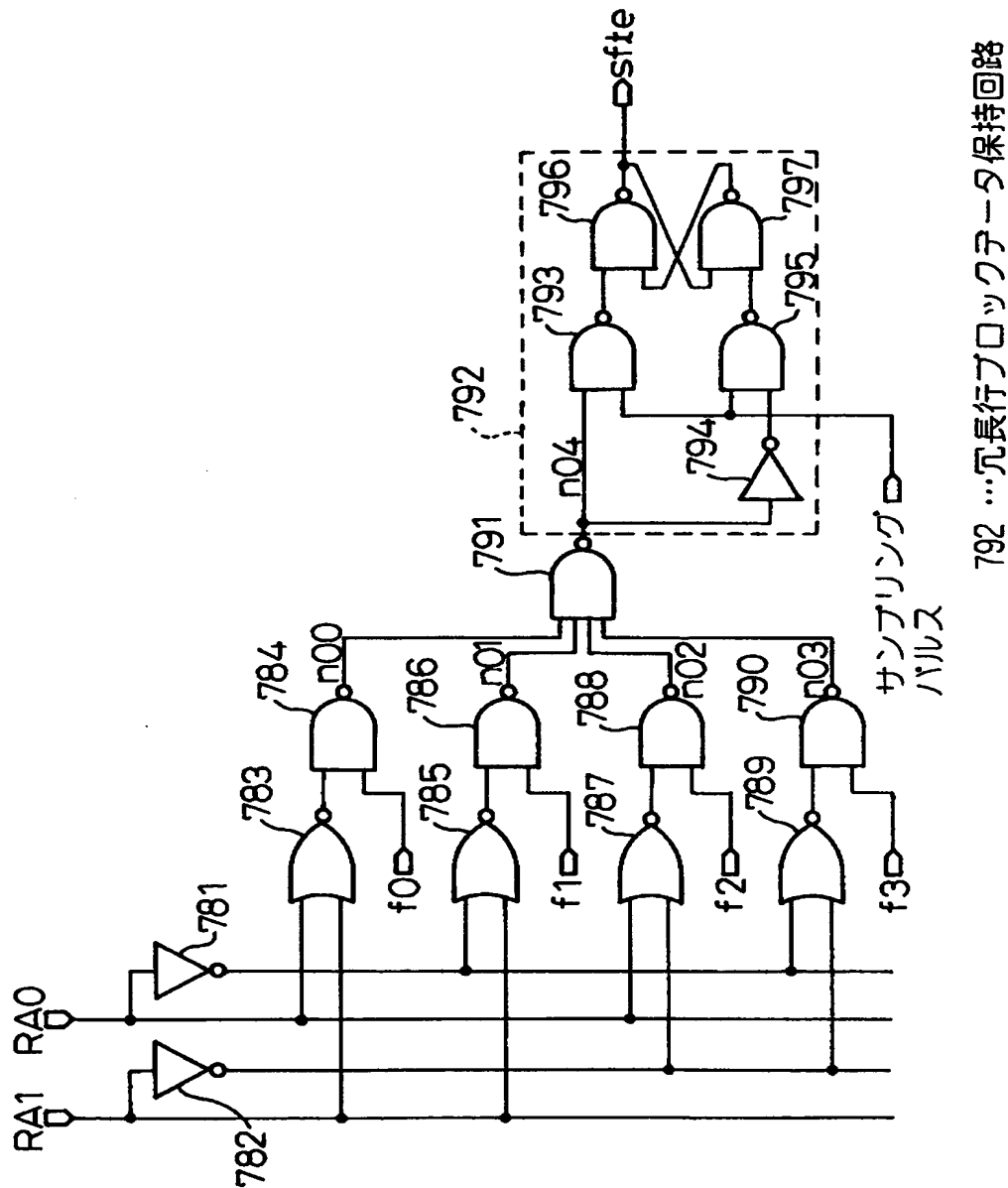
本発明の第 5 の実施例における冗長行ブロック選択回路の構成を示す回路図



【図 84】

図 84

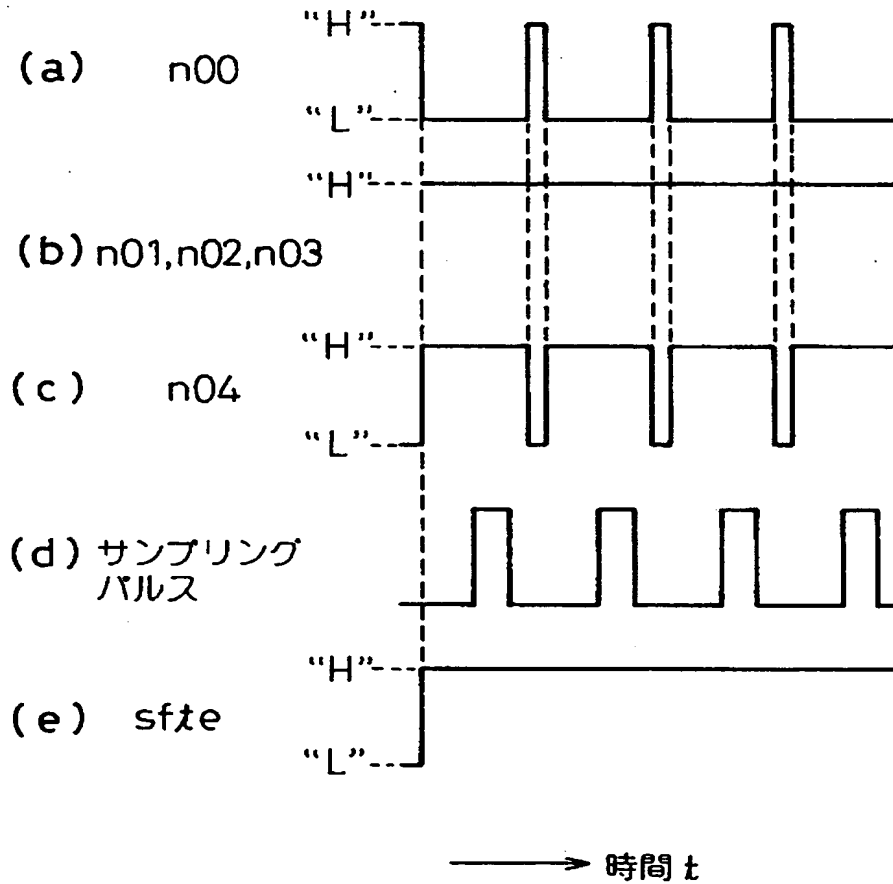
本発明の第 5 の実施例における行アドレス論理回路の構成を示す回路図



【図 85】

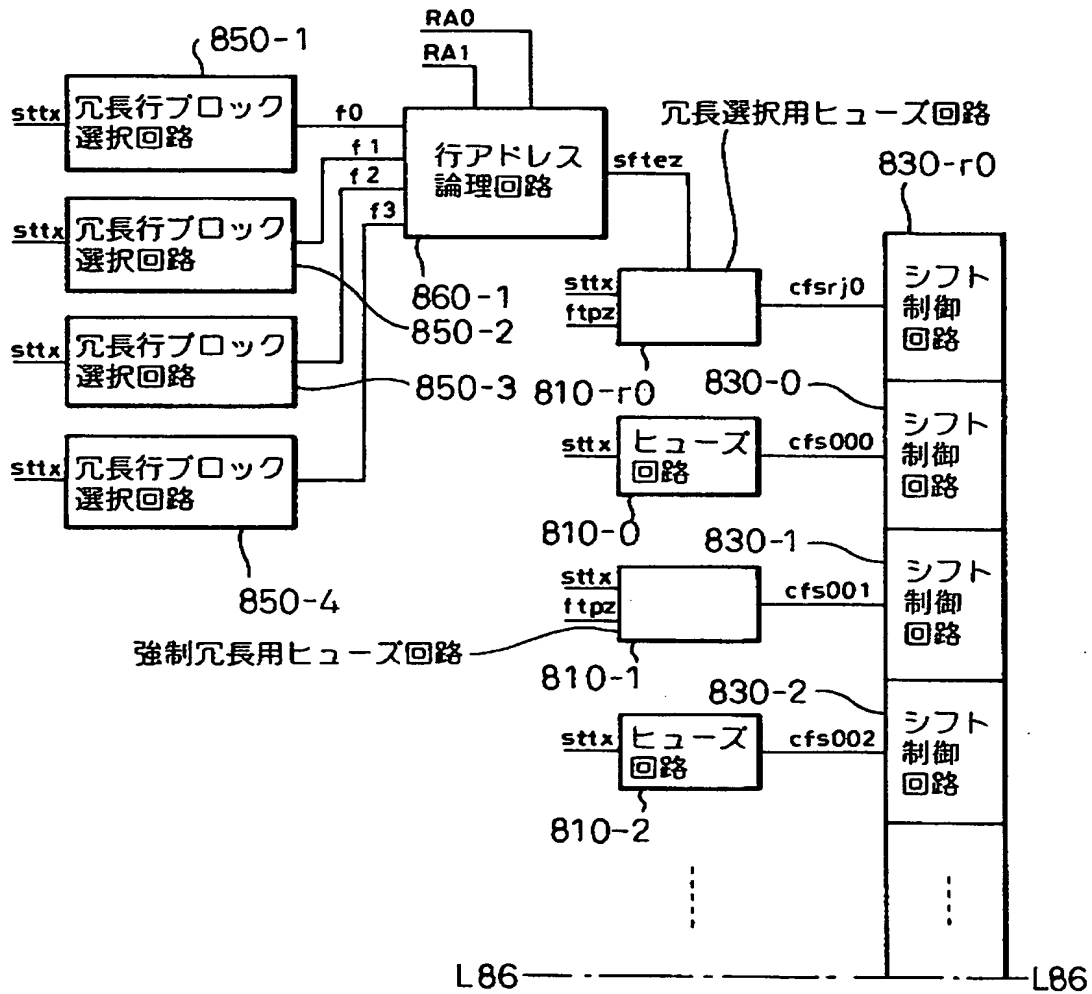
図 85

図84の行アドレス論理回路の動作を説明するための
タイミングチャート



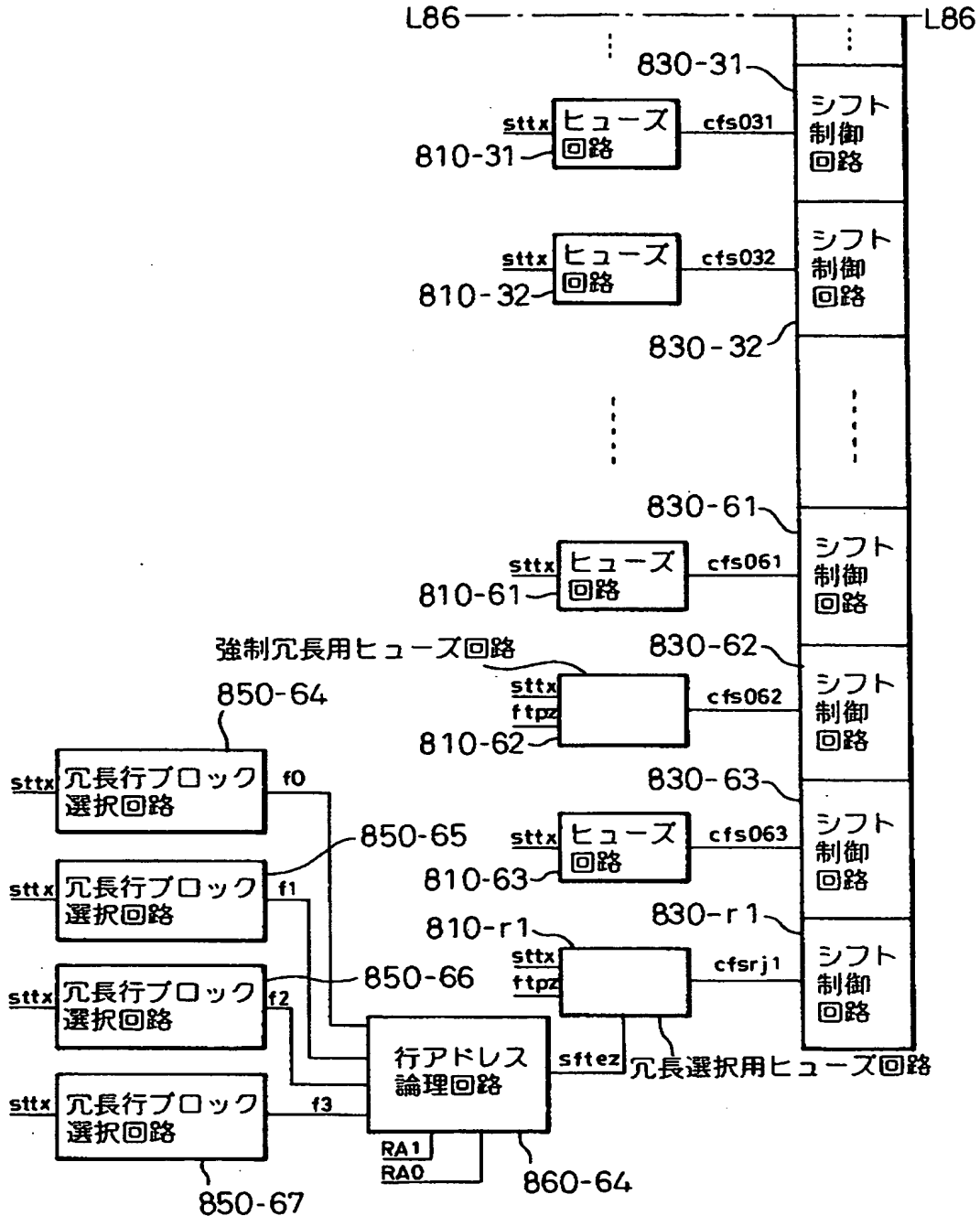
【図 86】

図 86 本発明の第 6 の実施例の全体的な回路構成を示すブロック図
(その 1)



【図 87】

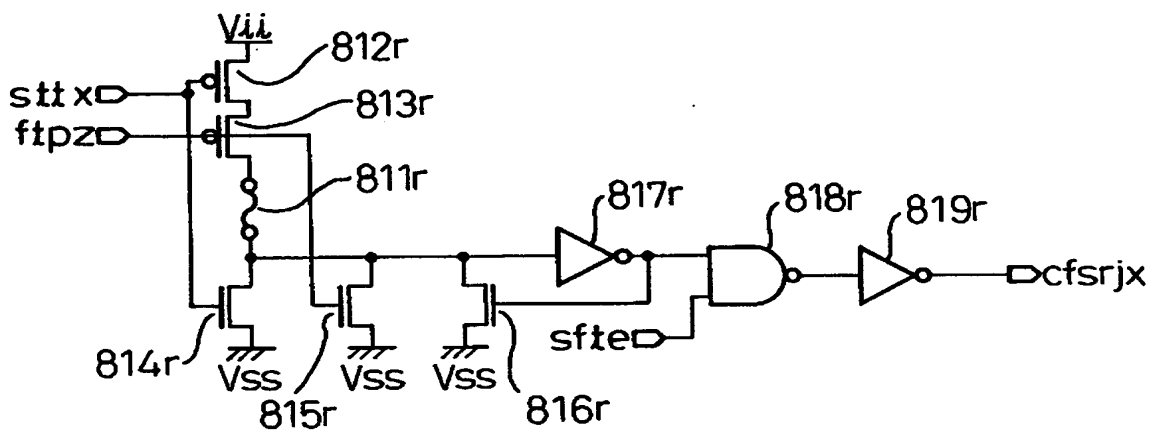
図 87 本発明の第 6 の実施例の全体的な回路構成を示すブロック図
(その 2)



【図 88】

図 88

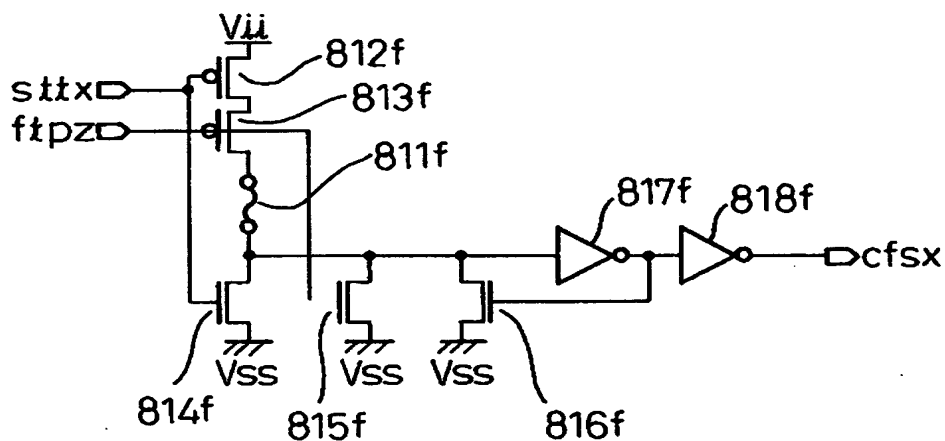
本発明の第 6 の実施例における冗長選択用ヒューズ回路
の構成を示す回路図



【図 89】

図 89

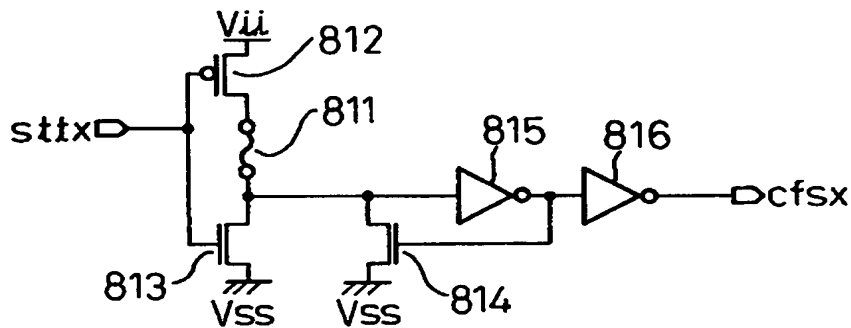
本発明の第 6 の実施例における強制冗長用ヒューズ回路
の構成を示す回路図



【図 90】

図 90

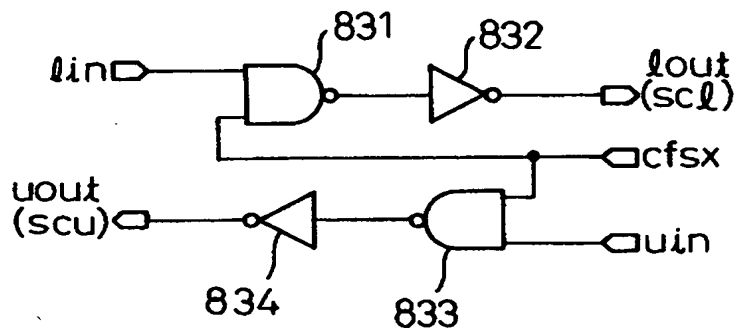
本発明の第 6 の実施例における通常選択用のヒューズ回路の構成を示す回路図



【図 91】

図 91

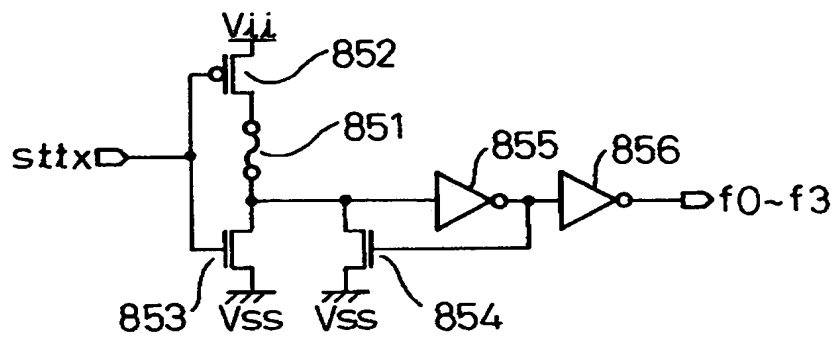
本発明の第 6 の実施例におけるシフト制御回路の構成を示す回路図



【図 92】

図 92

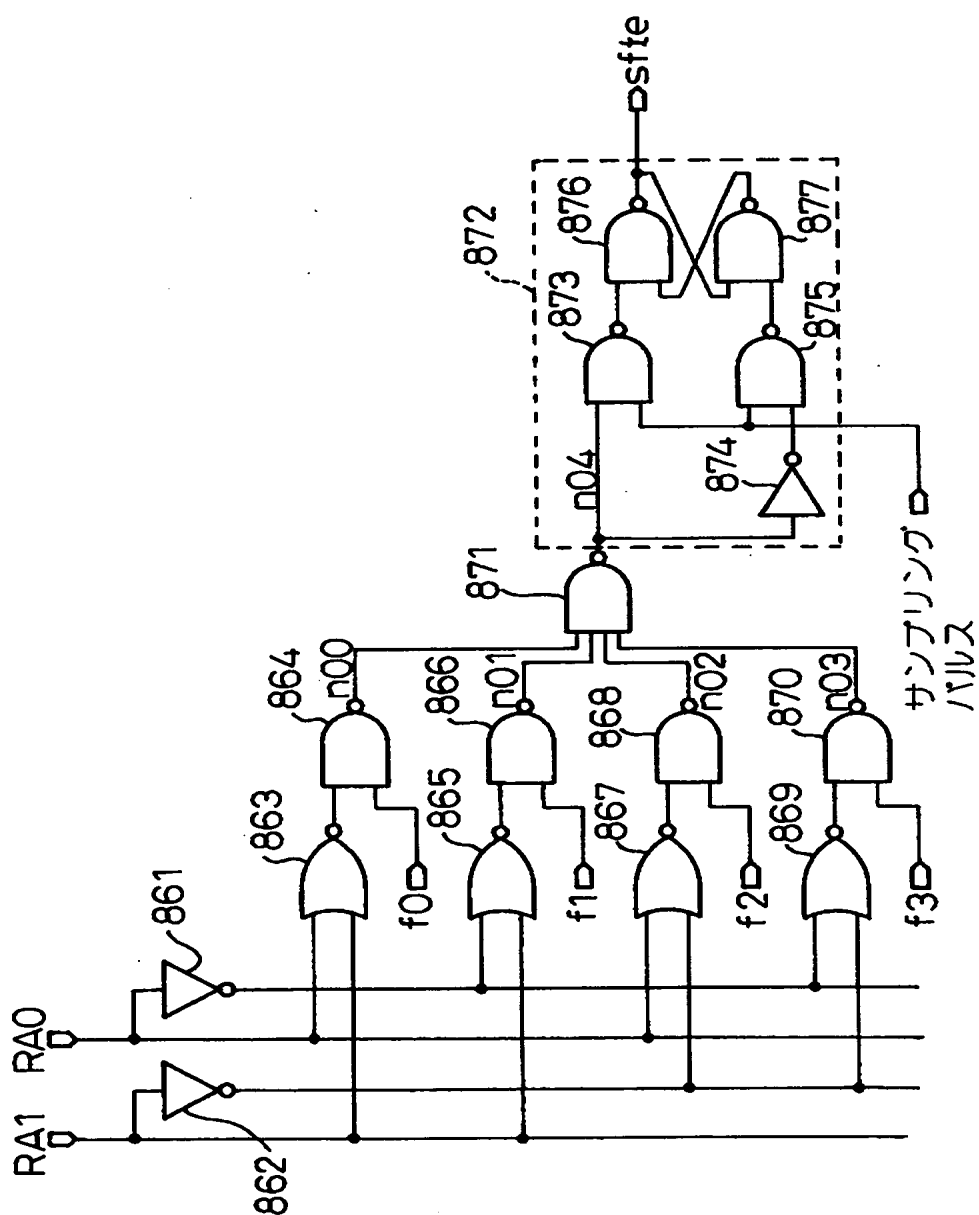
本発明の第 6 の実施例における冗長行ブロック選択回路の構成を示す回路図



【圖 9 3】

图 93

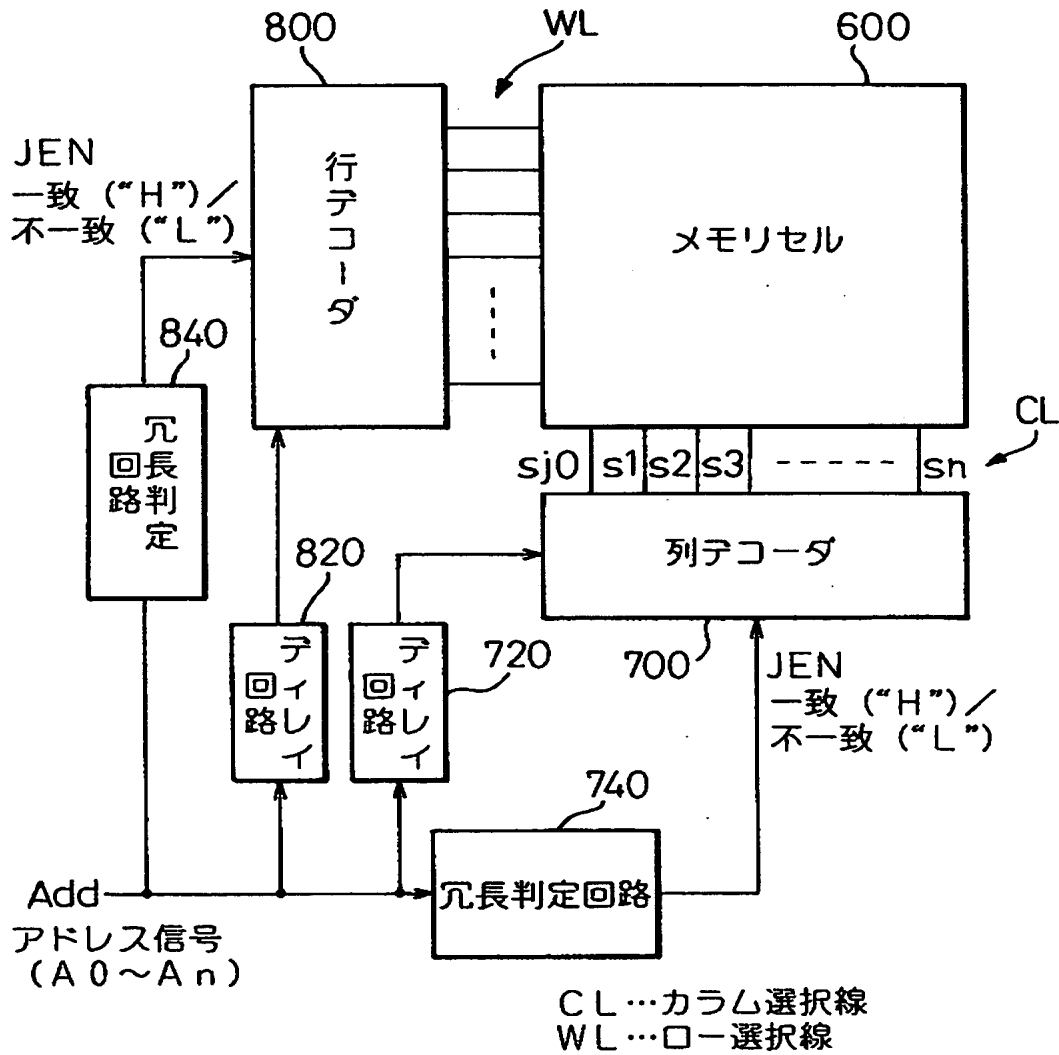
本発明の第 6 の実施例における行アドレス論理回路の構成を示す回路図



【図 94】

図 94

一般の冗長機能を備えた半導体記憶装置の構成を示すブロック図



【書類名】 要約書

【要約】

【課題】 複数の選択線の一部に欠陥が生じた場合に冗長選択線を用いてシフト冗長処理を行う機能を備えた半導体記憶装置およびシフト冗長方法に関し、選択線同士のショート等により2本以上の欠陥選択線が生じても欠陥を救済する共に、冗長の自由度を比較的大きくすることを目的とする。

【解決手段】 アドレス信号をデコードした複数のデコード信号線を、複数の選択線および冗長選択線に切替可能に接続するためのスイッチ回路を備え、複数の選択線内に欠陥が発生した場合、複数のデコード線の少なくとも1本を、選択線の中で一方の端に位置する第1の冗長選択線の方にシフトさせる第1の切替動作を行うか、複数のデコード線の少なくとも1本を、選択線の中で他方の端に位置する第2の冗長選択線の方にシフトさせる第2の切替動作を行うか、または、第1および第2の切替動作の双方の切替動作を行うように構成される。

【選択図】 図1

【書類名】 職権訂正データ
【訂正書類】 特許願

<認定情報・付加情報>

【特許出願人】
【識別番号】 000005223
【住所又は居所】 神奈川県川崎市中原区上小田中4丁目1番1号
【氏名又は名称】 富士通株式会社
【代理人】 申請人
【識別番号】 100077517
【住所又は居所】 東京都港区虎ノ門三丁目5番1号 虎ノ門37森ビル 青和特許法律事務所
【氏名又は名称】 石田 敬
【選任した代理人】
【識別番号】 100100871
【住所又は居所】 東京都港区虎ノ門三丁目5番1号 虎ノ門37森ビル 青和特許法律事務所
【氏名又は名称】 土屋 繁
【選任した代理人】
【識別番号】 100088269
【住所又は居所】 東京都港区虎ノ門三丁目5番1号 虎ノ門37森ビル 青和特許法律事務所
【氏名又は名称】 戸田 利雄
【選任した代理人】
【識別番号】 100082898
【住所又は居所】 東京都港区虎ノ門三丁目5番1号 虎ノ門37森ビル 青和特許法律事務所
【氏名又は名称】 西山 雅也
【選任した代理人】
【識別番号】 100081330
【住所又は居所】 東京都港区虎ノ門三丁目5番1号 虎ノ門37森ビル 青和特許法律事務所
【氏名又は名称】 樋口 外治

出 願 人 履 歴 情 報

識別番号 [000005223]

1. 変更年月日 1996年 3月26日

[変更理由] 住所変更

住 所 神奈川県川崎市中原区上小田中4丁目1番1号

氏 名 富士通株式会社



Creation date: 12-08-2004
Indexing Officer: CLUONG - CHUONG LUONG
Team: OIPEBackFileIndexing
Dossier: 09359767

Legal Date: 01-17-2002

No.	Doccode	Number of pages
1	SRNT	24

Total number of pages: 24

Remarks:

Order of re-scan issued on